

## ОСОБЕННОСТИ

### Аналоговые входы/выходы:

Многоканальный 12-разрядный АЦП с частотой преобразования 1 MSPS;

- до 16 каналов;

Полностью дифференциальный и однополярный режимы;

Диапазон входного сигнала от 0 до  $V_{REF}$ ;

12-разрядный ЦАП с выходом напряжения;

- до 4 выходов ЦАП;

Встроенный источник опорного напряжения с Т.К.Н. 20 ppm ( $2 \cdot 10^{-5}/^{\circ}\text{C}$ );

Встроенный датчик температуры с точностью  $\pm 3^{\circ}\text{C}$ ;

Встроенный компаратор;

### Микроконтроллерное ядро:

ARM7TDMI с 16/32-разрядной RISC архитектурой;

Порт JTAG обеспечивает загрузку кода и отладку;

Тактирование: Встроенный генератор с подстройкой ( $\pm 3\%$ );

Часы с внешним кварцевым резонатором;

Внешний источник тактовых импульсов;

Система ФАПЧ до 45 МГц с программируемым делителем;

### Память:

62 кВ флэш/ЕЕ памяти, 8 кВ ОЗУ SRAM;

Внутрисхемная загрузка, отладка с помощью JTAG;

Возможность блокировки репрограммирования;

### Встроенная периферия:

UART, последовательные порты 2 I<sup>2</sup>C и SPI;

Порт общего назначения GPIO до 40 выводов\*;

2 таймера общего назначения;

Схема сброса при включении и сторожевой таймер (watchdog);

Монитор источника питания;

Трехфазный 16-разрядный генератор ШИМ (PWM)\*;

PLA – программируемая логическая матрица;

### Питание:

Напряжение питания 3 В;

Потребление в активном режиме:

3 мА (на частоте 1 МГц);

50 мА (на частоте 45 МГц);

### Корпус и температурный диапазон:

Корпуса от 40-выводного LFCSP (6x6 мм) до 80-выводного LQFP\*;

Рабочий диапазон  $-40...+85^{\circ}\text{C}$ ;

### Средства разработки:

Недорогой набор разработчика QuickStart

Полная поддержка со стороны третьих фирм

\*Корпуса, наличие ШИМ, GPIO и число аналоговых входов выходов зависят от конкретной модели микросхемы. См. ниже.

## ПРИМЕНЕНИЕ

Промышленные системы автоматки и управления

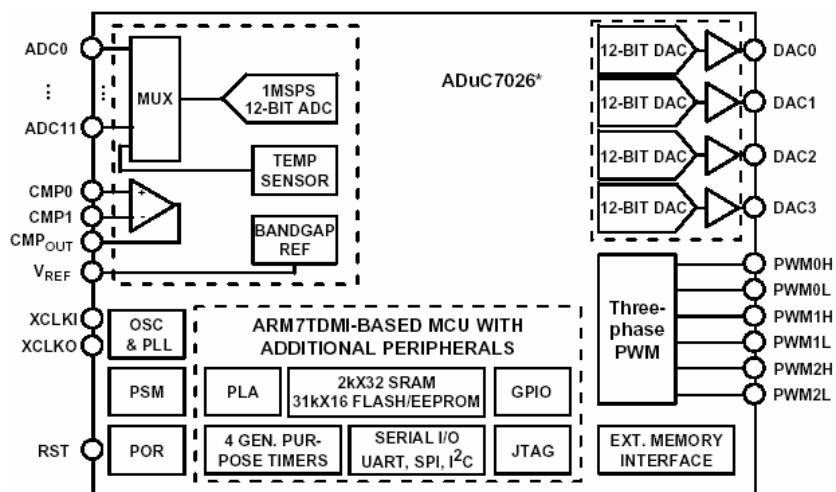
Интеллектуальные датчики,

Прецизионное измерительное оборудование

Базовые станции сотовой связи, Оптические сети

(См. ниже раздел "Общее описание")

## ФУНКЦИОНАЛЬНАЯ СХЕМА



\*Все патенты защищены

Рис. 1

## REV. PrB

Предполагается, что информация, предоставленная компанией Analog Devices Inc., является точной и достоверной. Тем не менее компания Analog Devices Inc. не несет ответственности за использование этой информации, а также за нарушения патентов или прав третьих сторон, которые могут возникнуть при использовании этой информации. Никакая лицензия не предоставляется ни прямо, ни косвенно, на объекты, подпадающие под патентные права фирмы Analog Devices Inc.

Авторы перевода приложили немалые усилия для того, чтобы сделать его качественным и достоверным. Однако при возникновении разночтений между переводом и оригинальным изданием на английском языке следует полагаться на информацию, изложенную в оригинале.

One Technology Way,  
P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781/329-4700  
Fax: 781/326-8703

[www.analog.com](http://www.analog.com)

© 2003 Analog Devices, Inc.

ADuC702x – Характеристики<sup>1</sup>

Таблица 1. ( $V_{DD} = IOV_{DD} = 2.7...3.6$  В,  $V_{REF} = 2.5$  В внутренний источник, частота ядра  $f_{CORE} = 45$  МГц, для всех параметров  $T_A = T_{MIN}...T_{MAX}$ , если не указано другое).

Параметр	Значение	Ед. измерения	Условия/комментарии
<b>Характеристики АЦП</b>			LSB –единица младшего разряда
Время включения АЦП	500	мкс	
Точность по постоянному току <sup>2,3</sup>			
Разрешающая способность	12	разрядов	
Интегральная нелинейность, макс.	$\pm 1.5$	LSB	При 2.5 В внутреннем И.О.Н.
Интегральная нелинейность, тип.	$\pm 0.5$	LSB	При 2.5 В внутреннем И.О.Н.
Интегральная нелинейность <sup>4</sup> , макс.	$\pm 2.0$	LSB	При 1.0 В внешнем И.О.Н.
Дифференциальная нелинейность, макс.	$+1/-0.9$	LSB	При 2.5 В внутреннем И.О.Н.
Дифференциальная нелинейность, тип.	$\pm 0.5$	LSB	При 2.5 В внутреннем И.О.Н.
Дифференциальная нелинейность <sup>4</sup> , макс.	$+1/-0.9$	LSB	При 1.0 В внешнем И.О.Н.
Распределение выходного кода АЦП	1	LSB	На входе АЦП постоянное напряжение
<b>ПОГРЕШНОСТИ ПОСЛЕ КАЛИБРОВКИ<sup>5</sup></b>			
Погрешность смещения макс.	$\pm 5$	LSB	
Погрешность совпадения смещения в разных каналах, тип.	$\pm 1$	LSB	
Погрешность коэф. усиления макс.	$\pm 5$	LSB	
Погрешность совпадения коэф. усиления в разных каналах, тип.	$\pm 1$	LSB	
<b>ДИНАМИЧЕСКИЕ ПАРАМЕТРЫ</b>			
Отношение сигнал/шум (SNR) <sup>6</sup> , тип.	71	dB	Входной сигнал – синусоида с частотой 10 кГц, частота сэмплирования 1 МГц
Суммарные гармонические искажения (THD), тип.	-78	dB	
Величина максимальной гармоники, тип.	-78	dB	
Проникновение сигнала в соседний канал <sup>7</sup> , тип.	-80	dB	
<b>АНАЛОГОВЫЕ ВХОДЫ</b>			
Диапазон входного сигнала			
В дифференциальном режиме	$V_{CM}^{8\pm} V_{REF} / 2$	В	
В однополярном режиме	$0...V_{REF}$	В	
Ток утечки	$\pm 5$	мкА	
Входная емкость, тип.	20	пФ	Во время сэмплирования АЦП
<b>ВСТРОЕННЫЙ ИСТОЧНИК ОПОРНОГО НАПРЯЖЕНИЯ (ИОН)</b>			
Выходное напряжение	2.5	В	Применена развязка конденсатором емкостью 0.47 мкФ между $V_{REF}$ и GND
Точность	$\pm 10$		
Температурный коэффициент, тип.	$\pm 10$	ppm/°C	При $T_A = 25^\circ\text{C}$ 1 ppm = $1 \cdot 10^{-6}$
Коэффициент влияния нестабильности напряжения питания (PSRR), тип.	-80	dB	
Выходной импеданс, тип.	10	Ом	
Время включения внутреннего ИОН, тип.	1	мс	
<b>ВХОД ВНЕШНЕГО ИОН<sup>9</sup></b>			
Диапазон входного напряжения	$0.625...AV_{DD}$	В	Здесь и далее TBD означает, что параметр еще не определен
Входное сопротивление	TBD	кОм	
<b>Характеристики ЦАП</b>			$R_L = 5$ кОм; $C_L = 100$ пФ
Точность по постоянному току			
Разрешающая способность	12	разрядов	Гарантирована монотонность
Относительная точность, тип.	$\pm 2$	LSB	
Дифференциальная нелинейность, макс.	$\pm 1$	LSB	Выход ЦАП небуферирован
Погрешность смещения, макс.	$\pm 2$	мВ	
	$\pm 5$	мВ	Выход ЦАП буферирован
Погрешность коэф. усиления макс.	$\pm 0.5$	%	
Погрешность совпадения коэф. усиления в разных каналах, тип.	TBD	%	% от полной шкалы выхода DAC0

АНАЛОГОВЫЕ ВЫХОДЫ Диапазон выходного напряжения 0 Диапазон выходного напряжения 1 Диапазон выходного напряжения 2 Выходной импеданс	0...DACREF 0...2.5 0...DACV <sub>DD</sub>	В В В	DACREF = DACGND...DACV <sub>DD</sub>
ХАРАКТЕРИСТИКИ ЦАП ПО ПЕРЕМЕННОМУ ТОКУ Время установления выходного напряжения, тип. Время установления выходного напряжения, тип. Величина всплеска сигнала на выходе ЦАП, тип.	10 15 TBD	мкс мкс нВ·с	Выход ЦАП буферирован Выход ЦАП небуферирован При изменении величины сигнала на 1 LSB
КОМПАРАТОР Напряжение смещения на входе Входной ток смещения, тип. Диапазон напряжения на входе Входная емкость, тип. Гистерезис, мин.  макс. Задержка срабатывания, мин.  макс.	±10 5 AGND...AV <sub>DD</sub> -1.2 7 5 10 1 10	мВ нА В пФ мВ мВ мкс мкс	Гистерезис можно включить или выключить при помощи бита CMPHYST в регистре CMPCON Время задержки можно изменять при помощи бит CMPRES в регистре CMPCON
ДАТЧИК ТЕМПЕРАТУРЫ Напряжение на выходе при 25°C, тип. Температурный коэффициент, тип. Точность, тип.	TBD -2.0 ±3	мВ мВ/°C °C	
МОНИТОР ИСТОЧНИКА ПИТАНИЯ (PSM) Напряжение срабатывания IOV <sub>DD</sub>  Погрешность напряжения срабатывания, макс.	2.79 3.07 ±2.5	В В %	Можно выбрать один из двух уровней срабатывания Относительно выбранного уровня
Сторожевой таймер (WDT) <sup>4</sup> Период ожидания, мин. макс.	0 TBD	мс мс	
Память флэш/ЕЕ Число циклов перезаписи <sup>10</sup> , мин. Время сохранности данных <sup>11</sup> , мин.	10000 30	лет	T <sub>J</sub> = 55°C
Цифровые входы Входной ток утечки, макс. тип. Входная емкость, тип.	±10 ±1 10	мкА мкА пФ	Все цифровые входы, в том числе XTAL1 и XTAL2
Логические уровни на входах <sup>4</sup> VINL, входное напряжение нуля, макс. VINH, входное напряжение единицы, мин.	0.4 2.0	В В	Все цифровые входы, в том числе XTAL1 и XTAL2
Логические уровни на выходах VOH, выходное напряжение единицы VOH, выходное напряжение нуля <sup>12</sup>	IOV <sub>DD</sub> -400 мВ 0.4	В В	I <sub>ВЫТЕК</sub> = 1.6 мА I <sub>ВТЕК</sub> = 1.6 мА
Частота тактирования ядра, мин. макс.	355.5 45.5	кГц МГц	В пределах одного диапазона можно выбрать из 8 программируемых частот
Время вхождения в активный режим При включении Из экономичного режима (Idle) Из режима отключения (power down)	TBD TBD TBD		Частота ядра = TBD
Программируемая логическая матрица (PLA) Задержка распространения, тип.	TBD	нс	От входного вывода до выходного



## ТЕРМИНОЛОГИЯ

### Параметры АЦП

#### Интегральная нелинейность

Представляет собой величину максимального отклонения от прямой линии, проходящей через конечные точки характеристики преобразования АЦП. Конечные точки соответствуют: в начале шкалы величине  $\frac{1}{2}$  LSB ниже точки, соответствующей минимальному коду, и в конце шкалы – точке на  $\frac{1}{2}$  LSB выше точки, соответствующей максимальному коду.

#### Дифференциальная нелинейность

Представляет собой разность между измеренной и рассчитанной для идеального случая величиной разности сигналов, соответствующей 1 LSB, для любых двух соседних значений кода АЦП.

#### Погрешность смещения

Представляет собой отклонение напряжения, соответствующего первой точке переключения между соседними кодами (то есть от кода 00...00 к коду 00...01), от идеального, т.е. соответствующего  $\frac{1}{2}$  LSB.

#### Погрешность усиления

Представляет собой отклонение напряжения, соответствующего Full Scale–1.5 LSB от идеального (расчетного) после устранения погрешности смещения.

### Отношение Сигнал/(Шум+Искажения)

Представляет собой измеренное отношение сигнала к уровню шумов и искажений на выходе АЦП. Сигнал – это среднеквадратичное значение (rms) амплитуды основного сигнала. Шум – это среднеквадратичная сумма всех составляющих, за исключением основного сигнала и сигнала постоянного тока, до частоты  $f_s/2$ . Это соотношение зависит от числа уровней квантования в процессе оцифровки; чем больше уровней квантования, тем меньше шумов квантования. Теоретически величина соотношения Сигнал/(Шум+Искажения) для идеального N-разрядного преобразователя и для синусоидального сигнала равна:

$$\text{Сигнал}/(\text{Шум}+\text{Искажения}) = (6.02N + 1.76) \text{ dB}$$

Таким образом, для 12-разрядного преобразователя она составляет 74 dB.

### Суммарный уровень гармонических искажений

Представляет собой отношение среднеквадратичной суммы всех гармоник к основному сигналу.

### Параметры ЦАП

#### Относительная точность

Относительная точность или конечная линейность является мерой максимального отклонения характеристики преобразования от прямой линии, проходящей через конечные точки характеристики. Эта величина измеряется после компенсации постоянной погрешности (погрешности смещения) и погрешности усиления.

# ADuC702x

## ПРЕДЕЛЬНО ДОПУСТИМЫЕ ХАРАКТЕРИСТИКИ

( $T_A = 25^\circ\text{C}$ , если не указано другое значение)

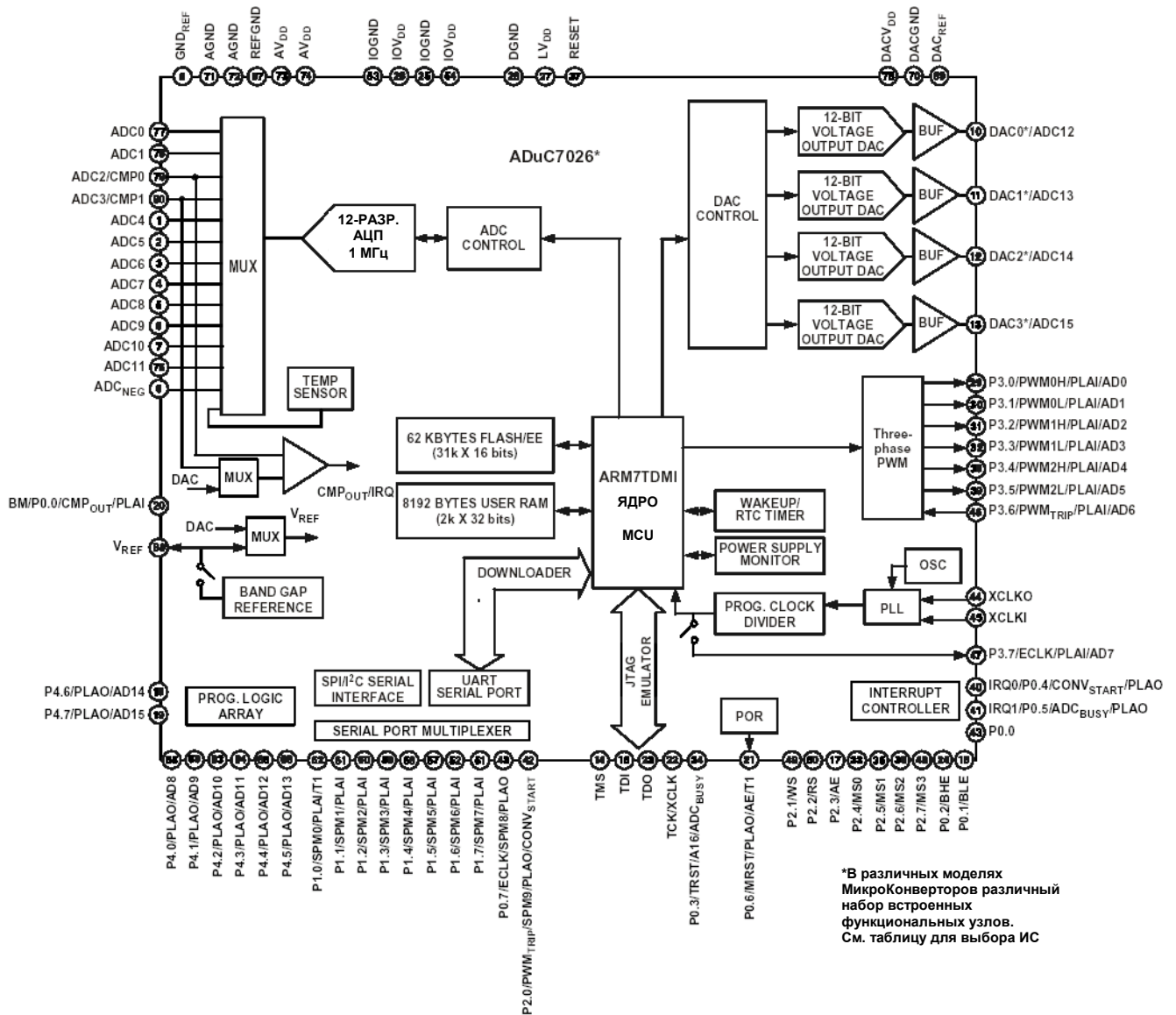
Параметр	Значение
Разница напряжений $AV_{DD} - DV_{DD}$	-0.3...+0.3 В
Разница напряжений $AGND - DGND$	-0.3...+0.3 В
Напряжение $DV_{DD} - DGND, AV_{DD} - AGND$	-0.3...+7 В
Напряжение на цифровом входе относительно $DGND$	-0.3...+5.5 В
Напряжение на цифровом выходе относительно $DGND$	-0.3...+5.5 В
Напряжение на входе $VREF$ относительно $AGND$	-0.3... $AV_{DD}+0.3$ В
Напряжение на аналоговом входе относительно $AGND$	-0.3... $AV_{DD}+0.3$ В
Рабочий температурный диапазон ИС ADuC702x в промышленном исполнении	-40°C...+125°C
Температурный диапазон хранения	TBD
Температура перехода	125°C
Температурное сопротивление $\theta_{JA}$ (корпус CSP)	TBD
Температурное сопротивление $\theta_{JA}$ (корпус LQFP)	TBD
Температура выводов при пайке	TBD
Из паровой фазы (60 сек)	TBD
Инфракрасным излучением (15 сек)	TBD

Воздействия, выходящие за пределы перечисленных предельно допустимых характеристик, могут вызвать необратимые повреждения данного устройства. Эти характеристики относятся только к предельным воздействиям; здесь не подразумеваются характеристики устройства в рабочем режиме при различных условиях. Если устройство подвергается предельно допустимым воздействиям в течение продолжительного времени, надежность устройства может снизиться.

### ВНИМАНИЕ

Данная микросхема чувствительна к электростатическому разряду. Электростатический заряд напряжением до 4000 В может накопиться на теле человека или на оборудовании и оказать воздействие незаметно. Несмотря на то, что в ADE7754 имеется схема защиты от электростатического разряда, может произойти необратимое повреждение, если разряд был сильный. Таким образом, рекомендуется применять защитные меры против электростатического разряда во избежание ухудшения характеристик устройства или выхода его из строя.





\*В различных моделях Микроконверторов различный набор встроенных функциональных узлов. См. таблицу для выбора ИС

Рис. 2. Подробная функциональная схема

# ADuC702x

## НАЗНАЧЕНИЕ ВЫВОДОВ – ADuC7020, ADuC7021, ADuC7022

Таблица 3. Назначение выводов

Номер вывода соотв. микросхемы			Обозначение	Тип*	Назначение
7020	7021	7022			
38	37	36	ADC0	I	Однополярный или дифференциальный аналоговый вход 0
39	38	37	ADC1	I	Однополярный или дифференциальный аналоговый вход 1
40	39	38	ADC2/CMP0	I	Однополярный или дифференциальный аналоговый вход 2/ Прямой вход компаратора
1	40	39	ADC3/CMP1	I	Однополярный или дифференциальный аналоговый вход 3/ Инверсный вход компаратора
2	1	40	ADC4	I	Однополярный или дифференциальный аналоговый вход 4
-	2	1	ADC5	I	Однополярный или дифференциальный аналоговый вход 5
-	3	2	ADC6	I	Однополярный или дифференциальный аналоговый вход 6
-	4	3	ADC7	I	Однополярный или дифференциальный аналоговый вход 7
-	-	4	ADC8	I	Однополярный или дифференциальный аналоговый вход 8
-	-	5	ADC9	I	Однополярный или дифференциальный аналоговый вход 9
3	5	6	GND <sub>REF</sub>	S	"Земля" входа АЦП. Для достижения оптимальных характеристик источник питания аналоговой части должен быть отделен от IOGND и DGND
4	6	-	DAC0/ADC12	I/O	Выход DAC0/Однополярный или дифференциальный аналоговый вход 12
5	7	-	DAC1/ADC13	I/O	Выход DAC1/Однополярный или дифференциальный аналоговый вход 13
6	-	-	DAC2/ADC14	I/O	Выход DAC2/Однополярный или дифференциальный аналоговый вход 14
7	-	-	DAC3/ADC15	I/O	Выход DAC3/Однополярный или дифференциальный аналоговый вход 15
8	8	7	TMS	I	Вход порта JTAG – выбор режима тестирования. Доступ отладки и загрузки.
9	9	8	TDI	I	Вход порта JTAG – ввод данных тестирования. Доступ отладки и загрузки.
10	10	9	BM/P0.0/CMPOUT/P LAI[7]	I/O	Многофункциональный вывод входа/выхода: Режим начальной загрузки (boot). ИС ADuC702x переходит в режим последовательной загрузки, если вход BM при сбросе находится в состоянии низкого уровня, или начинает исполнять код, если вход BM "подтянут" к плюсу источника питания через резистор сопротивлением 1 кОм / Вход-выход общего назначения порта P0.0 / Выход компаратора / Вход элемента 7 программируемой логической матрицы
11	11	10	P0.6/T1/MRST/PLAO[3]	O	Многофункциональный выход: переходит в низкое состояние после сброса Вход-выход общего назначения порта P0.6 / Вход таймера 1 / выход схемы сброса при включении питания / Выход элемента 3 программируемой логической матрицы
12	12	11	TCK	I	Вход порта JTAG – тактовый сигнал тестирования. Доступ отладки и загрузки.
13	13	12	TDO	O	Выход порта JTAG – вывод данных тестирования. Доступ отладки и загрузки.
14	14	13	IOGND	S	Вывод заземления порта общего назначения GPIO. Обычно подключен к DGND.
15	15	14	IOV <sub>DD</sub>	S	Питание 3.3 В для порта GPIO и вход встроенного стабилизатора напряжения.
16	16	15	LV <sub>DD</sub>	S	Выход встроенного стабилизатора напряжения 2.5 В. Должен быть соединен с "землей" DGND через конденсатор 0.47 мкФ
17	17	16	DGND	S	Вывод заземления ядра процессора
18	18	17	P0.3/TRST/ADC <sub>BUSY</sub>	I	Вход-выход общего назначения порта P0.3 / Вход порта JTAG – сброс тестирования. Доступ отладки и загрузки / выход сигнала ADCBUSY
19	19	18	RST	I	Вход сброса (активный уровень – низкий)
20	20	19	IRQ0/P0.4/ CONV <sub>START</sub> /PLAO[1]	I/O	Многофункциональный вывод входа/выхода: Внешний запрос прерывания 0, активный уровень – высокий / Вход-выход общего назначения порта P0.4 / Вход начала преобразования АЦП / Выход элемента 1 программируемой логической матрицы
21	21	20	IRQ1/P0.5/ADC <sub>BUSY</sub> /PLAO[2]	I/O	Многофункциональный вывод входа/выхода: Внешний запрос прерывания 1, активный уровень – высокий / Вход-

					выход общего назначения порта P0.5 / сигнал занятости АЦП ADCBUSY / Выход элемента 2 программируемой логической матрицы
22	22	21	P2.0/SPM9/PLAO[5]/CONV <sub>START</sub>	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P2.0 / Интерфейс UART / Выход элемента 5 программируемой логической матрицы / Вход начала преобразования АЦП
23	23	22	P0.7/ECLK/SPM8/PLAO[4]/XCLK	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P0.7 / Выход сигнала внешнего тактирования / Интерфейс UART / Выход элемента 4 программируемой логической матрицы / Вход внутреннего генератора тактовых импульсов
24	24	23	XCLKO	O	Выход инвертора кварцевого генератора
25	25	24	XCLKI	I	Вход инвертора кварцевого генератора и вход внутреннего генератора тактовых импульсов
26	26	25	P1.7/SPM7/PLAO[0]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.7 / Интерфейс UART / Интерфейс SPI / Выход элемента 0 программируемой логической матрицы
27	27	26	P1.6/SPM6/PLAI[6]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.6 / Интерфейс UART / Интерфейс SPI / Вход элемента 6 программируемой логической матрицы
28	28	27	P1.5/SPM5/PLAI[5]/IRQ3	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.5 / Интерфейс UART / Интерфейс SPI / Вход элемента 5 программируемой логической матрицы / Внешний запрос прерывания 3, активный уровень – высокий
29	29	28	P1.4/SPM4/PLAI[4]/IRQ2	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.4 / Интерфейс UART / Интерфейс SPI / Вход элемента 4 программируемой логической матрицы / Внешний запрос прерывания 2, активный уровень – высокий
30	30	29	P1.3/SPM3/PLAI[3]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.3 / Интерфейс UART / Интерфейс I <sup>2</sup> C1 / Вход элемента 3 программируемой логической матрицы
31	31	30	P1.2/SPM2/PLAI[2]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.2 / Интерфейс UART / Интерфейс I <sup>2</sup> C1 / Вход элемента 2 программируемой логической матрицы
32	32	31	P1.1/SPM1/PLAI[1]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.1 / Интерфейс UART / Интерфейс I <sup>2</sup> C0 / Вход элемента 1 программируемой логической матрицы
33	33	32	P1.0/T1/SPM0/PLAI[0]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.0 / Вход таймера 1 / Интерфейс UART / Интерфейс I <sup>2</sup> C0 / Вход элемента 0 программируемой логической матрицы
34	-	-	P4.2/PLAO[10]	I/O	Вход-выход общего назначения порта P4.2 / Выход элемента 10 программируемой логической матрицы
35	34	33	V <sub>REF</sub>	I/O	Внутренний источник опорного напряжения 2.5 В. При использовании внутреннего И.О.Н. вывод должен быть соединен с "землей" через конденсатор 0.47 мкФ
36	35	34	AGND	S	Вывод заземления аналоговой части.
37	36	35	AV <sub>DD</sub>	S	Вывод питания аналоговой части 3.3 В

I – вход, O – выход, S – источник питания  
 - - нет такого вывода

# ADuC702x

## НАЗНАЧЕНИЕ ВЫВОДОВ – ADuC7024, ADuC7025

Таблица 4. Назначение выводов

Номер вывода	Обозначение	Тип*	Назначение
1	ADC4	I	Однополярный или дифференциальный аналоговый вход 4
2	ADC5	I	Однополярный или дифференциальный аналоговый вход 5
3	ADC6	I	Однополярный или дифференциальный аналоговый вход 6
4	ADC7	I	Однополярный или дифференциальный аналоговый вход 7
5	ADC8	I	Однополярный или дифференциальный аналоговый вход 8
6	ADC9	I	Однополярный или дифференциальный аналоговый вход 9
7	GND <sub>REF</sub>	S	"Земля" входа АЦП. Для достижения оптимальных характеристик источник питания аналоговой части должен быть отделен от IOGND и DGND
8	ADCNEG	I	Отрицательный аналоговый вход АЦП для псевдо-дифференциального режима. Должен быть соединен с "землей" источника сигнала. Величина напряжения на данном входе должна находиться в пределах от 0 до 1 В
9	DAC0**/ADC12	I/O	Выход DAC0/Однополярный или дифференциальный аналоговый вход 12
10	DAC1**/ADC13	I/O	Выход DAC1/Однополярный или дифференциальный аналоговый вход 13
11	TMS	I	Вход порта JTAG – выбор режима тестирования. Доступ отладки и загрузки.
12	TDI	I	Вход порта JTAG – ввод данных тестирования. Доступ отладки и загрузки.
13	P4.6/PLAO[14]	I/O	Вход-выход общего назначения порта P4.6 / Выход элемента 14 программируемой логической матрицы
14	P4.7/PLAO[15]	I/O	Вход-выход общего назначения порта P4.7 / Выход элемента 15 программируемой логической матрицы
15	BM/P0.0/CMP <sub>OUT</sub> /PLAI[7]	I/O	Многофункциональный вывод входа/выхода: Режим начальной загрузки (boot). ИС ADuC702x переходит в режим последовательной загрузки, если вход BM при сбросе находится в состоянии низкого уровня, или начинает исполнять код, если вход BM "подтянут" к плюсу источника питания через резистор сопротивлением 1 кОм / Выход-выход общего назначения порта P0.0 / Выход компаратора / Выход элемента 7 программируемой логической матрицы
16	P0.6/T1/MRST/PLAO[3]	O	Многофункциональный вывод: переходит в низкое состояние после сброса Вход-выход общего назначения порта P0.6 / Выход таймера 1 / выход схемы сброса при включении питания / Выход элемента 3 программируемой логической матрицы
17	TCK	I	Вход порта JTAG – тактовый сигнал тестирования. Доступ отладки и загрузки.
18	TDO	O	Выход порта JTAG – вывод данных тестирования. Доступ отладки и загрузки.
19	IOGND	S	Вывод заземления порта общего назначения GPIO. Обычно подключен к DGND.
20	IOV <sub>DD</sub>	S	Питание 3.3 В для порта GPIO и вход встроенного стабилизатора напряжения.
21	LV <sub>DD</sub>	S	Выход встроенного стабилизатора напряжения 2.5 В. Должен быть соединен с "землей" DGND через конденсатор 0.47 мкФ
22	DGND	S	Вывод заземления ядра процессора
23	P3.0/PWM0 <sub>n</sub> /PLAI[8]	I/O	Вход-выход общего назначения порта P3.0 / Выход "верхнего" ключа канала 0 ШИМ / Выход элемента 8 программируемой логической матрицы
24	P3.1/PWM0 <sub>p</sub> /PLAI[9]	I/O	Вход-выход общего назначения порта P3.1 / Выход "нижнего" ключа канала 0 ШИМ / Выход элемента 9 программируемой логической матрицы
25	P3.2/PWM1 <sub>n</sub> /PLAI[10]	I/O	Вход-выход общего назначения порта P3.2 / Выход "верхнего" ключа канала 1 ШИМ / Выход элемента 10 программируемой логической матрицы
26	P3.3/PWM1 <sub>p</sub> /PLAI[11]	I/O	Вход-выход общего назначения порта P3.3 / Выход "нижнего" ключа канала 1 ШИМ / Выход элемента 11 программируемой логической матрицы
27	P0.3/TRST/ADC <sub>BUSY</sub>	I	Вход-выход общего назначения порта P0.3 / Выход порта JTAG – сброс тестирования. Доступ отладки и загрузки / выход сигнала ADCBUSY
28	RST	I	Вход сброса (активный уровень – низкий)
29	P3.4/PWM2 <sub>n</sub> /PLAI[12]	I/O	Вход-выход общего назначения порта P3.4 / Выход "верхнего" ключа канала 2 ШИМ / Выход элемента 12 программируемой логической матрицы
30	P3.5/PWM2 <sub>p</sub> /PLAI[13]	I/O	Вход-выход общего назначения порта P3.5 / Выход "нижнего" ключа канала 2 ШИМ / Выход элемента 13 программируемой логической матрицы
31	IRQ0/P0.4/CONV <sub>START</sub> /PLAO[1]	I/O	Многофункциональный вывод входа/выхода: Внешний запрос прерывания 0, активный уровень – высокий / Выход-выход общего назначения порта P0.4 / Выход начала преобразования АЦП / Выход элемента 1 программируемой логической матрицы

32	IRQ1/P0.5/ADC <sub>BUSY</sub> /PLAO[2]	I/O	Многофункциональный вывод входа/выхода: Внешний запрос прерывания 1, активный уровень – высокий / Вход-выход общего назначения порта P0.5 / сигнал занятости АЦП ADCBUSY / Выход элемента 2 программируемой логической матрицы
33	P2.0/PWM <sub>TRIP</sub> /SPM9/ PLAO[5]/CONV <sub>START</sub>	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P2.0 / Вход аварийного отключения ШИМ / Интерфейс UART / Выход элемента 5 программируемой логической матрицы / Вход начала преобразования АЦП
34	P0.7/ECLK/SPM8/ PLAO[4]/XCLK	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P0.7 / Выход сигнала внешнего тактирования / Интерфейс UART / Выход элемента 4 программируемой логической матрицы / Вход внутреннего генератора тактовых импульсов
35	XCLKO	O	Выход инвертора кварцевого генератора
36	XCLKI	I	Вход инвертора кварцевого генератора и вход внутреннего генератора тактовых импульсов
37	P3.6/PWM <sub>TRIP</sub> /PLAI[14]	I/O	Вход-выход общего назначения порта P3.6 / Вход аварийного отключения ШИМ / Вход элемента 14 программируемой логической матрицы
38	P3.7/PWM <sub>TRIP</sub> /PLAI[15]	I/O	Вход-выход общего назначения порта P3.7 / Вход-выход синхронизации ШИМ / Вход элемента 15 программируемой логической матрицы
39	P1.7/SPM7/PLAO[0]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.7 / Интерфейс UART / Интерфейс SPI / Выход элемента 0 программируемой логической матрицы
40	P1.6/SPM6/PLAI[6]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.6 / Интерфейс UART / Интерфейс SPI / Вход элемента 6 программируемой логической матрицы
41	IOGND	S	Вывод заземления порта общего назначения GPIO. Обычно подключен к DGND.
42	IOV <sub>DD</sub>	S	Питание 3.3 В для порта GPIO и вход встроенного стабилизатора напряжения.
43	P4.0/PLAO[8]	I/O	Вход-выход общего назначения порта P4.0 / Выход элемента 8 программируемой логической матрицы
44	P4.1/PLAO[9]	I/O	Вход-выход общего назначения порта P4.1 / Выход элемента 9 программируемой логической матрицы
45	P1.5/SPM5/PLAI[5] /IRQ3	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.5 / Интерфейс UART / Интерфейс SPI / Вход элемента 5 программируемой логической матрицы / Внешний запрос прерывания 3, активный уровень – высокий
46	P1.4/SPM4/PLAI[4] /IRQ2	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.4 / Интерфейс UART / Интерфейс SPI / Вход элемента 4 программируемой логической матрицы / Внешний запрос прерывания 2, активный уровень – высокий
47	P1.3/SPM3/PLAI[3]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.3 / Интерфейс UART / Интерфейс I <sup>2</sup> C1 / Вход элемента 3 программируемой логической матрицы
48	P1.2/SPM2/PLAI[2]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.2 / Интерфейс UART / Интерфейс I <sup>2</sup> C1 / Вход элемента 2 программируемой логической матрицы
49	P1.1/SPM1/PLAI[1]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.1 / Интерфейс UART / Интерфейс I <sup>2</sup> C0 / Вход элемента 1 программируемой логической матрицы
50	P1.0/T1/SPM0/ PLAI[0]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.0 / Вход таймера 1 / Интерфейс UART / Интерфейс I <sup>2</sup> C0 / Вход элемента 0 программируемой логической матрицы
51	P4.2/PLAO[10]	I/O	Вход-выход общего назначения порта P4.2 / Выход элемента 10 программируемой логической матрицы
52	P4.3/PLAO[11]	I/O	Вход-выход общего назначения порта P4.3 / Выход элемента 11 программируемой логической матрицы
53	P4.4/PLAO[12]	I/O	Вход-выход общего назначения порта P4.4 / Выход элемента 12 программируемой логической матрицы
54	P4.5/PLAO[13]	I/O	Вход-выход общего назначения порта P4.5 / Выход элемента 13 программируемой логической матрицы
55	V <sub>REF</sub>	I/O	Внутренний источник опорного напряжения 2.5 В. При использовании внутреннего И.О.Н. вывод должен быть соединен с "землей" через конденсатор 0.47 мкФ

## ADuC702x

56	DAC <sub>REF</sub>	I	Внешний источник опорного напряжения для ЦАП. Допустимый диапазон напряжений: DAC <sub>GND</sub> ...DAC <sub>V<sub>DD</sub></sub>
57	DAC <sub>GND</sub>	S	Вывод заземления для ЦАП. Обычно соединяется с "землей" AGND
58	AGND	S	Вывод заземления аналоговой части.
59	AV <sub>DD</sub>	S	Вывод питания аналоговой части 3.3 В
60	DAC <sub>V<sub>DD</sub></sub>	S	Вывод питания для ЦАП 3.3 В. Обычно соединяется с питанием AV <sub>DD</sub>
61	ADC0	I	Однополярный или дифференциальный аналоговый вход 0
62	ADC1	I	Однополярный или дифференциальный аналоговый вход 1
63	ADC2/CMP0	I	Однополярный или дифференциальный аналоговый вход 2/ Прямой вход компаратора
64	ADC3/CMP1	I	Однополярный или дифференциальный аналоговый вход 3/ Инверсный вход компаратора

I – вход, O – выход, S – источник питания

\*\* Выводы ЦАП отсутствуют в ИС ADuC7025

## НАЗНАЧЕНИЕ ВЫВОДОВ – ADuC7026, ADuC7027

Таблица 5. Назначение выводов

Номер вывода	Обозначение	Тип*	Назначение
1	ADC4	I	Однополярный или дифференциальный аналоговый вход 4
2	ADC5	I	Однополярный или дифференциальный аналоговый вход 5
3	ADC6	I	Однополярный или дифференциальный аналоговый вход 6
4	ADC7	I	Однополярный или дифференциальный аналоговый вход 7
5	ADC8	I	Однополярный или дифференциальный аналоговый вход 8
6	ADC9	I	Однополярный или дифференциальный аналоговый вход 9
7	ADC10	I	Однополярный или дифференциальный аналоговый вход 10
8	GND <sub>REF</sub>	S	"Земля" входа АЦП. Для достижения оптимальных характеристик источник питания аналоговой части должен быть отделен от IOGND и DGND
9	ADCNEG	I	Отрицательный аналоговый вход АЦП для псевдо-дифференциального режима. Должен быть соединен с "землей" источника сигнала. Величина напряжения на данном входе должна находиться в пределах от 0 до 1 В
10	DAC0/ADC12	I/O	Выход DAC0/Однополярный или дифференциальный аналоговый вход 12
11	DAC1/ADC13	I/O	Выход DAC1/Однополярный или дифференциальный аналоговый вход 13
12	DAC2/ADC14	I/O	Выход DAC2/Однополярный или дифференциальный аналоговый вход 14
13	DAC3/ADC15	I/O	Выход DAC3/Однополярный или дифференциальный аналоговый вход 15
14	TMS	I	Вход порта JTAG – выбор режима тестирования. Доступ отладки и загрузки.
15	TDI	I	Вход порта JTAG – ввод данных тестирования. Доступ отладки и загрузки.
16	P0.1/BLE	I/O	Вход-выход общего назначения порта P0.1 / Разрешение младшего байта интерфейса внешней памяти
17	P2.3/AE		
18	P4.6/AD14/PLAO[14]	I/O	Вход-выход общего назначения порта P4.6 / Интерфейс внешней памяти / Выход элемента 14 программируемой логической матрицы
19	P4.7/AD15/PLAO[15]	I/O	Вход-выход общего назначения порта P4.7 / Интерфейс внешней памяти / Выход элемента 15 программируемой логической матрицы
20	BM/P0.0/CMP <sub>out</sub> /PLAI[7]	I/O	Многофункциональный вывод входа/выхода: Режим начальной загрузки (boot). ИС ADuC702x переходит в режим последовательной загрузки, если вход BM при сбросе находится в состоянии низкого уровня, или начинает исполнять код, если вход BM "подтянут" к плюсу источника питания через резистор сопротивлением 1 кОм / Вход-выход общего назначения порта P0.0 / Выход компаратора / Выход элемента 7 программируемой логической матрицы
21	P0.6/T1/MRST/PLAO[3]/AE	O	Многофункциональный вывод: переходит в низкое состояние после сброса Вход-выход общего назначения порта P0.6 / Выход таймера 1 / выход схемы сброса при включении питания / Выход элемента 3 программируемой логической матрицы
22	TCK	I	Вход порта JTAG – тактовый сигнал тестирования. Доступ отладки и загрузки.
23	TDO	O	Выход порта JTAG – вывод данных тестирования. Доступ отладки и загрузки.
24	P0.2/BHE	I/O	Вход-выход общего назначения порта P0.2 / Разрешение старшего байта интерфейса внешней памяти
25	IOGND	S	Вывод заземления порта общего назначения GPIO. Обычно подключен к DGND.
26	IOV <sub>DD</sub>	S	Питание 3.3 В для порта GPIO и вход встроенного стабилизатора напряжения.
27	LV <sub>DD</sub>	S	Выход встроенного стабилизатора напряжения 2.5 В. Должен быть соединен с "землей" DGND через конденсатор 0.47 мкФ
28	DGND	S	Вывод заземления ядра процессора
29	P3.0/AD0/PWM0 <sub>n</sub> /PLAI[8]	I/O	Вход-выход общего назначения порта P3.0 / Интерфейс внешней памяти / Выход "верхнего" ключа канала 0 ШИМ / Выход элемента 8 программируемой логической матрицы
30	P3.1/AD1/PWM0 <sub>L</sub> /PLAI[9]	I/O	Вход-выход общего назначения порта P3.1 / Интерфейс внешней памяти / Выход "нижнего" ключа канала 0 ШИМ / Выход элемента 9 программируемой логической матрицы

## ADuC702x

31	P3.2/AD2/PWM1 <sub>H</sub> /PLAI[10]	I/O	Вход-выход общего назначения порта P3.2 / Интерфейс внешней памяти / Выход "верхнего" ключа канала 1 ШИМ / Вход элемента 10 программируемой логической матрицы
32	P3.3/AD3/PWM1 <sub>L</sub> /PLAI[11]	I/O	Вход-выход общего назначения порта P3.3 / Интерфейс внешней памяти / Выход "нижнего" ключа канала 1 ШИМ / Вход элемента 11 программируемой логической матрицы
33	P2.4/MS0	I/O	Вход-выход общего назначения порта P2.4 / Выбор внешней памяти 0
34	P0.3/TRST/A16/ADC <sub>BUSY</sub>	I	Вход-выход общего назначения порта P0.3 / Вход порта JTAG – сброс тестирования. Доступ отладки и загрузки / выход сигнала ADCBUSY
35	P2.5/MS1	I/O	Вход-выход общего назначения порта P2.5 / Выбор внешней памяти 1
36	P2.6/MS2	I/O	Вход-выход общего назначения порта P2.6 / Выбор внешней памяти 2
37	RST	I	Вход сброса (активный уровень – низкий)
38	P3.4/AD4/PWM2 <sub>H</sub> /PLAI[12]	I/O	Вход-выход общего назначения порта P3.4 / Интерфейс внешней памяти / Выход "верхнего" ключа канала 2 ШИМ / Вход элемента 12 программируемой логической матрицы
39	P3.5/AD5/PWM2 <sub>L</sub> /PLAI[13]	I/O	Вход-выход общего назначения порта P3.5 / Интерфейс внешней памяти / Выход "нижнего" ключа канала 2 ШИМ / Вход элемента 13 программируемой логической матрицы
40	IRQ0/P0.4/ CONV <sub>START</sub> /PLAO[1]	I/O	Многофункциональный вывод входа/выхода: Внешний запрос прерывания 0, активный уровень – высокий / Вход-выход общего назначения порта P0.4 / Вход начала преобразования АЦП / Выход элемента 1 программируемой логической матрицы
41	IRQ1/P0.5/ADCBUSY /PLAO[2]	I/O	Многофункциональный вывод входа/выхода: Внешний запрос прерывания 1, активный уровень – высокий / Вход-выход общего назначения порта P0.5 / сигнал занятости АЦП ADCBUSY / Выход элемента 2 программируемой логической матрицы
42	P2.0/PWM <sub>TRIP</sub> /SPM9/ PLAO[5]/CONV <sub>START</sub>	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P2.0 / Вход аварийного отключения ШИМ / Интерфейс UART / Выход элемента 5 программируемой логической матрицы / Вход начала преобразования АЦП
43	P0.7/ECLK/SPM8/ PLAO[4]/XCLK	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P0.7 / Выход сигнала внешнего тактирования / Интерфейс UART / Выход элемента 4 программируемой логической матрицы / Вход внутреннего генератора тактовых импульсов
44	XCLKO	O	Выход инвертора кварцевого генератора
45	XCLKI	I	Вход инвертора кварцевого генератора и вход внутреннего генератора тактовых импульсов
46	P3.6/AD6/PWM <sub>TRIP</sub> /PLAI[14]	I/O	Вход-выход общего назначения порта P3.6 / Интерфейс внешней памяти / Вход аварийного отключения ШИМ / Вход элемента 14 программируемой логической матрицы
47	P3.7/AD7/PWM <sub>TRIP</sub> /PLAI[15]	I/O	Вход-выход общего назначения порта P3.7 / Интерфейс внешней памяти / Вход-выход синхронизации ШИМ / Вход элемента 15 программируемой логической матрицы
48	P2.7/MS3	I/O	Вход-выход общего назначения порта P2.7 / Выбор внешней памяти 3
49	P2.1/WS	I/O	Вход-выход общего назначения порта P2.1 / Строб записи внешней памяти
50	P2.2/RS	I/O	Вход-выход общего назначения порта P2.2 / Строб чтения внешней памяти
51	P1.7/SPM7/PLAO[0]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.7 / Интерфейс UART / Интерфейс SPI / Выход элемента 0 программируемой логической матрицы
52	P1.6/SPM6/PLAI[6]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.6 / Интерфейс UART / Интерфейс SPI / Вход элемента 6 программируемой логической матрицы
53	IOGND	S	Вывод заземления порта общего назначения GPIO. Обычно подключен к DGND.
54	IOV <sub>DD</sub>	S	Питание 3.3 В для порта GPIO и вход встроенного стабилизатора напряжения.
55	P4.0/AD8/PLAO[8]	I/O	Вход-выход общего назначения порта P4.0 / Интерфейс внешней памяти / Выход элемента 8 программируемой логической матрицы
56	P4.1/AD9/PLAO[9]	I/O	Вход-выход общего назначения порта P4.1 / Интерфейс внешней памяти / Выход элемента 9 программируемой логической матрицы
57	P1.5/SPM5/PLAI[5] /IRQ3	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.5 / Интерфейс UART / Интерфейс SPI / Вход элемента 5 программируемой логической матрицы / Внешний запрос прерывания 3, активный уровень – высокий

58	P1.4/SPM4/PLAI[4] /IRQ2	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.4 / Интерфейс UART / Интерфейс SPI / Вход элемента 4 программируемой логической матрицы / Внешний запрос прерывания 2, активный уровень – высокий
59	P1.3/SPM3/PLAI[3]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.3 / Интерфейс UART / Интерфейс I <sup>2</sup> C1 / Вход элемента 3 программируемой логической матрицы
60	P1.2/SPM2/PLAI[2]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.2 / Интерфейс UART / Интерфейс I <sup>2</sup> C1 / Вход элемента 2 программируемой логической матрицы
61	P1.1/SPM1/PLAI[1]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.1 / Интерфейс UART / Интерфейс I <sup>2</sup> C0 / Вход элемента 1 программируемой логической матрицы
62	P1.0/T1/SPM0/ PLAI[0]	I/O	Мультиплексируемый последовательный порт: Вход-выход общего назначения порта P1.0 / Вход таймера 1 / Интерфейс UART / Интерфейс I <sup>2</sup> C0 / Вход элемента 0 программируемой логической матрицы
63	P4.2/AD10/PLAO[10]	I/O	Вход-выход общего назначения порта P4.2 / Интерфейс внешней памяти / Выход элемента 10 программируемой логической матрицы
64	P4.3/AD11/PLAO[11]	I/O	Вход-выход общего назначения порта P4.3 / Интерфейс внешней памяти / Выход элемента 11 программируемой логической матрицы
65	P4.4/AD12/PLAO[12]	I/O	Вход-выход общего назначения порта P4.4 / Интерфейс внешней памяти / Выход элемента 12 программируемой логической матрицы
66	P4.5/AD13/PLAO[13]	I/O	Вход-выход общего назначения порта P4.5 / Интерфейс внешней памяти / Выход элемента 13 программируемой логической матрицы
67	REFGND	S	Вывод заземления для источника опорного напряжения. Обычно соединяется с "землей" AGND
68	V <sub>REF</sub>	I/O	Внутренний источник опорного напряжения 2.5 В. При использовании внутреннего И.О.Н. вывод должен быть соединен с "землей" через конденсатор 0.47 мкФ
69	DAC <sub>REF</sub>	I	Внешний источник опорного напряжения для ЦАП. Допустимый диапазон напряжений: DACGND...DACV <sub>DD</sub>
70	DACGND	S	Вывод заземления для ЦАП. Обычно соединяется с "землей" AGND
71	AGND	S	Вывод заземления аналоговой части.
72	AGND	S	Вывод заземления аналоговой части.
73	AV <sub>DD</sub>	S	Вывод питания аналоговой части 3.3 В
74	AV <sub>DD</sub>	S	Вывод питания аналоговой части 3.3 В
75	DACV <sub>DD</sub>	S	Вывод питания для ЦАП 3.3 В. Обычно соединяется с питанием AV <sub>DD</sub>
76	ADC11	I	Однополярный или дифференциальный аналоговый вход 11
77	ADC0	I	Однополярный или дифференциальный аналоговый вход 0
78	ADC1	I	Однополярный или дифференциальный аналоговый вход 1
79	ADC2/CMP0	I	Однополярный или дифференциальный аналоговый вход 2/ Прямой вход компаратора
80	ADC3/CMP1	I	Однополярный или дифференциальный аналоговый вход 3/ Инверсный вход компаратора

I – вход, O – выход, S – источник питания

## ОБЩЕЕ ОПИСАНИЕ

Микросхема ADuC702x представляет собой интегральную 12-разрядную систему сбора данных с частотой дискретизации 1 миллион отсчетов в секунду (1 MSPS) и содержит высокопроизводительный многоканальный АЦП, 16/32-разрядное ядро и память Флэш/ЕЕ на одном кристалле.

АЦП имеет до 12 однополярных входов. Доступны также дополнительные 4 входа, но они мультиплексированы с 4 выходами ЦАП. Четыре выхода ЦАП имеются только в некоторых моделях семейства ADuC702x, но во многих случаях, когда ЦАП отсутствует, эти выводы могут использоваться как дополнительные входы АЦП, что дает в сумме до 16 входов аналогового сигнала. Входы АЦП могут работать в однополярном или дифференциальном режимах. Напряжение на входе АЦП находится в пределах от 0 до VREF. Источник опорного напряжения (ИОН) на запрещенной зоне с малым дрейфом, температурный датчик и компаратор дополняют набор аналоговых узлов микросхемы.

В микросхеме ADuC702x также имеется четыре встроенных буферизованных ЦАП с выходом напряжения. Выходы ЦАП программируются на один из трёх диапазонов выходного сигнала.

Устройство тактируется от встроенного генератора с синтезатором частоты с ФАПЧ (PLL), который генерирует тактовые импульсы с частотой до 45 МГц. Этот тактовый сигнал проходит через программируемый делитель частоты, с выхода которого тактовая частота поступает на ядро процессора. В микросхеме применено микропроцессорное ядро ARM7TDMI, 16/32-разрядный RISC процессор, обеспечивающий пиковую производительность до 45 миллионов операций в секунду (MIPS). На кристалле имеется 62 кВ энергонезависимой флэш/ЕЕ памяти, а также 8 кВ статического ОЗУ (SRAM). Для ядра ARM7TDMI вся память и регистры доступны в одном линейном пространстве памяти.

Встроенное программное обеспечение поддерживает внутрисхемную последовательную загрузку через порты последовательных интерфейсов UART и JTAG, при этом через интерфейс JTAG можно осуществлять эмуляцию. Эти возможности входят в набор QuickStart Development System.

Данные МикроКонвертеры работают при напряжении питания 2.7 ... 3.6 В и их параметры нормированы для промышленного температурного диапазона -40°C... 125°C. При работе на частоте 45 МГц рассеиваемая мощность составляет 150 мВт. МикроКонвертеры ADuC702x поставляются с различными конфигурациями памяти и в различных корпусах. Более подробно – см. таблицу на стр. 9.

## ОБЗОР ЯДРА ARM7TDMI

Ядро ARM7 представляет собой 32-разрядный RISC-процессор. В нем имеется единая 32-разрядная шина для команд и данных. Данные могут быть 8, 16 или 32-разрядными, длина команды составляет 32 бита.

Ядро ARM7TDMI представляет собой ядро ARM7 с дополнительными особенностями:

- Т: имеется дополнительный набор 16-битных инструкций;
- D: поддерживает режим отладки;
- M: поддерживает умножение 32-разрядных слов;
- I имеется модуль EmbeddedICE, обеспечивающий внутрисхемную отладку.

### Режим 16-битных команд Thumb (Т)

Инструкции процессоров ARM имеют длину 32 бита. Ядро ARM7TDMI поддерживает дополнительный набор команд 16-разрядной длины, так называемый набор Thumb. При использовании набора Thumb вместо 32-разрядных инструкций обеспечивается более быстрое исполнение команд из 16-разрядной памяти и более высокая плотность кода, что делает процессор ARM7TDMI особенно привлекательным для встроенных систем.

Однако режим Thumb вносит два ограничения:

- В программе Thumb больше инструкций, чем в программе, написанной в кодах ARM, при равном объеме вычислений, поэтому программа ARM обычно лучше подходит для тех участков кода, где требуется высокая скорость исполнения;
- В набор инструкций Thumb не входят некоторые инструкции, необходимые для управления исключительными ситуациями, поэтому ядро будет в таких случаях автоматически переключаться в режим ARM.

Для более детального ознакомления с архитектурой ядра, программной моделью и наборами инструкций ARM и Thumb обращайтесь к руководству "ARM7TDMI User Guide".

### Умножение 32-разрядных чисел (М)

В набор команд ARM7TDMI входят четыре дополнительных команды, позволяющие перемножать 32-битные числа и получать 64-битный результат, а также выполнять 32-битную операцию MAC (умножение с накоплением) с 64-разрядным результатом. Этот результат получается за меньшее число циклов, чем в стандартном ядре ARM7.

### Встроенный отладчик EmbeddedICE (I)

Система EmbeddedICE представляет собой интегрированную в микросхему систему доступа к ядру. Модуль EmbeddedICE содержит регистры точек останова и точек ожидания и позволяет останавливать выполнение программы в процессе отладки. Эти регистры управляются через интерфейс JTAG.

Если программа доходит до точки останова или ожидания, процессор останавливается и переходит в режим отладки. В состоянии отладки имеется доступ к регистрам процессора, к памяти флэш/ЕЕ, к памяти SRAM, а также к отображенным в памяти регистрам.

### Исключения

Ядро ARM поддерживает пять типов исключений и привелигированный режим обработки для каждой ситуации. Это следующие типы ситуаций:

- Обычное прерывание (IRQ). Предназначено для обслуживания внутренних или внешних прерываний общего назначения;
- Быстрое прерывание (FIQ). Предназначено для обслуживания передачи данных или каналов связи с малой задержкой. FIQ обладает приоритетом перед IRQ;
- Сбой памяти;
- Попытка выполнить неопределенную команду;
- Программное прерывание (SWI), оно может использоваться для вызова операционной системы.

Обычно программист использует прерывания типа IRQ, но если нужен более высокий приоритет и более быстрая реакция, применяются прерывания типа FIQ.

## Регистры ARM

В процессоре ARM7TDMI имеется в общей сложности 37 регистров, из которых 31 регистр общего назначения и 6 – регистры статуса. Для каждого режима работы имеется соответствующий банк регистров.

При написании пользовательской программы используются 15 32-разрядных регистров общего назначения (r0...r14), программный счетчик (r15) и регистр текущего статуса программы (CPSR). Остальные регистры используются только для системного программирования и для управления исключительными ситуациями.

В случае исключительной ситуации некоторые из стандартных регистров замещаются специальными регистрами, предназначенными для данного режима. Для каждого режима имеется свой банк регистров, замещающий указатель стека (r13) и регистр связи (link register, r14), как показано на рис. 3. Для работы в режиме быстрого прерывания (FIQ) имеются также регистры r8...r12, таким образом обработка прерывания может начинаться без сохранения или восстановления этих регистров, что существенно сокращает время обработки прерывания.

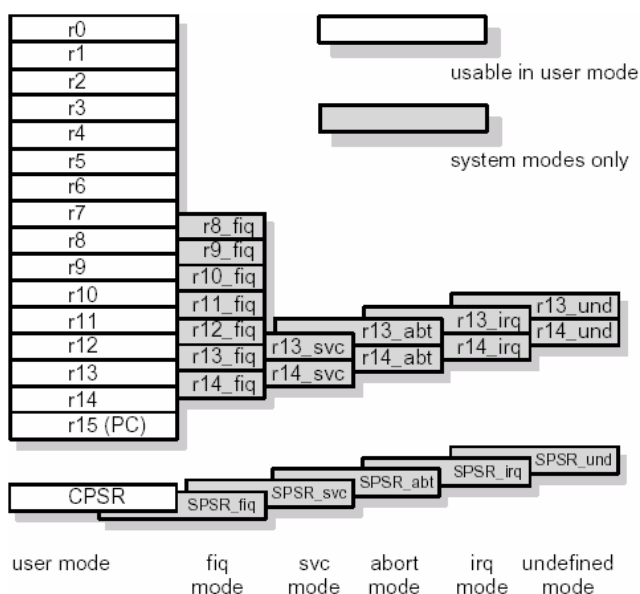


Рис. 3. Структура регистров

- Более подробное описание программной модели и архитектуры ядра ARM7TDMI имеется здесь:
- DDI0029G, ARM7TDMI Technical Reference Manual.
  - DDI0100E, ARM Architecture Reference Manual.

## Время обработки прерывания

В самом худшем случае задержка для прерывания FIQ будет состоять из времени, которое запрос на прерывание проходит через блок синхронизации, плюс время выполнения инструкции (дольше всего выполняется инструкция LDM, это загрузка всех регистров включая программный счетчик PC), плюс время для завершения цикла обмена данными, плюс время для вхождения в FIQ. После всех перечисленных этапов процессор будет выполнять инструкцию по адресу 0x1C (адрес вектора прерывания FIQ). Суммарное время будет составлять максимум 50 тактов процессора, длительность одного такта составляет 1.1 мкс при тактовой частоте 45 МГц. Максимальная задержка выполнения прерывания IRQ вычисляется подобным образом, но нужно учитывать, что прерывание FIQ имеет более высокий приоритет и может задержать вход в подпрограмму обработки прерывания IRQ на определенное число тактов. Это время может быть уменьшено до 42 циклов, если не используется команда LDM; некоторые компиляторы позволяют отключить применение команды LDM при компиляции. Еще одна возможность – работа в режиме THUMB, при этом время уменьшается до 22 тактов.

Минимальная задержка для прерывания FIQ или IRQ составляет 5 циклов – в случае, если задержка состоит только из прохождения через синхронизатор плюс время перехода в режим прерывания.

Обратите внимание, что когда ARM7TDMI находится в привилегированном режиме, т.е. выполняет подпрограмму обработки прерывания, он всегда работает в режиме ARM (32-разрядном).

## ОРГАНИЗАЦИЯ ПАМЯТИ

В состав микросхемы входят два отдельных блока памяти, 8 kB ОЗУ SRAM и 64 kB памяти флэш/ЕЕ. Из памяти флэш/ЕЕ 62 kB доступны для пользователя, а оставшиеся 2 kB зарезервированы для программы загрузки. Эти два блока памяти показаны на рис. 4. Обратите внимание, что по умолчанию после загрузки память флэш/ЕЕ отображена по адресу 0x00000000. Имеется возможность отобразить по адресу 0x00000000 память ОЗУ SRAM путем сброса бита REMAP MMR. Данная функция "переадресации" памяти более подробно описана в главе "Память флэш/ЕЕ".

## ADuC702x

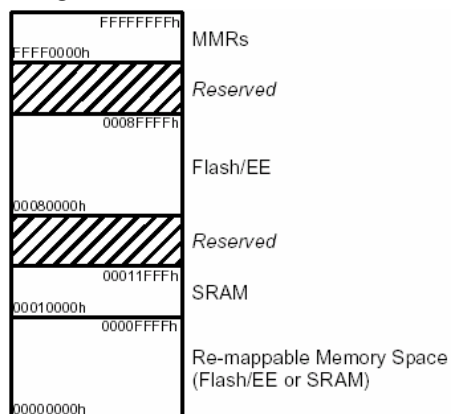


Рис. 4. Карта памяти.

### Доступ к памяти

С точки зрения ядра ARM7 память представляет собой линейный массив длиной  $2^{32}$  байт, где отдельные блоки отображаются как показано на рис. 4.

Память процессора ADuC702x организована по принципу "младший в начале": младший значащий байт расположен по меньшему адресу в памяти и старший значащий байт расположен по более старшему адресу.

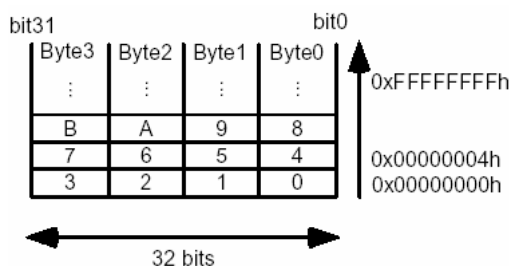


Рис. 5. Формат памяти

### Память Flash/EE

64 килобайта памяти Flash/EE организованы по принципу  $32k \times 16$  бит. Из них  $31k \times 16$  бит представляют собой пользовательскую память и  $1k \times 16$  бит зарезервированы для ядра загрузчика. Размер страницы памяти Flash/EE составляет 512 байт.

62 килобайта памяти Flash/EE доступны для пользователя для размещения кода и энергонезависимого хранения данных. Разграничение между кодом и данными отсутствует, в процессоре ARM для того и другого применено одно пространство памяти. Физически ширина памяти составляет 16 бит, это означает, что в режиме ARM (32-разрядные инструкции) необходимо дважды обратиться к памяти для извлечения 32-битного кода. Поэтому когда программа выполняется из памяти Flash/EE, рекомендуется применять режим Thumb для оптимизации скорости доступа. Максимальная скорость доступа к памяти Flash/EE составляет 45 МГц в режиме Thumb и 22.5 МГц в 32-битном ARM-режиме. Более детально о времени доступа к памяти Flash/EE рассказано в разделе "Выполнение из памяти SRAM и Flash/EE" данного технического описания.

### Память SRAM

Пользователю доступно 8 кВ оперативной памяти SRAM, она организована как 2 к по 32 разряда, т.е. 2 к слов. Код ARM может выполняться непосредственно из памяти SRAM на частоте 45 МГц, что обеспечивается 32-битной

шириной памяти SRAM. Более подробно о памяти SRAM говорится в разделе "Выполнение из памяти SRAM и Flash/EE" данного технического описания.

### Регистры, отображенные в памяти

Пространство регистров, отображенных в памяти (Memory Mapped Registers, MMR) располагается в верхних двух страницах массива памяти, содержимое регистров доступно с помощью косвенной адресации через организованные в банки регистры ядра ARM7.

С помощью пространства MMR организован интерфейс между вычислительным ядром (CPU) и находящейся на кристалле периферией. Все регистры, за исключением регистров ядра, отображены в области MMR. Все адреса, показанные на рис. 6 серым цветом, являются незанятыми или зарезервированными адресами и пользовательская программа не должна обращаться к этим адресам. В таблице 6 приведена полная карта регистров, отображенных в памяти.

0xFFFFFFFF	
0xFFFFFC3C	PWM
0xFFFFC000	
0xFFFFF820	Flash Control Interface
0xFFFFF800	
0xFFFFF46C	GPIO
0xFFFFF400	
0xFFFF0B54	PLA
0xFFFF0B00	
0xFFFF0A14	SPI
0xFFFF0A00	
0xFFFF0948	I <sup>2</sup> C1
0xFFFF0900	
0xFFFF0848	I <sup>2</sup> C0
0xFFFF0800	
0xFFFF0730	UART
0xFFFF0700	
0xFFFF0620	DAC
0xFFFF0600	
0xFFFF0538	ADC
0xFFFF0500	
0xFFFF0490	Bandgap Reference
0xFFFF048C	
0xFFFF0448	Power Supply Monitor
0xFFFF0440	
0xFFFF0420	PLL & Oscillator Control
0xFFFF0404	
0xFFFF0370	Watchdog Timer
0xFFFF0360	
0xFFFF0350	Wake Up Timer
0xFFFF0340	
0xFFFF0334	General Purpose Timer
0xFFFF0320	
0xFFFF0310	Timer 0
0xFFFF0300	
0xFFFF0238	Remap & System Control
0xFFFF0220	
0xFFFF0110	Interrupt Controller
0xFFFF0000	

Рис.6. Регистры, отображенные в памяти

В столбце "Доступ" табл. 6 приведено время доступа при чтении или записи в соответствующий регистр пространства MMR. Это время определяется параметрами шины AMBA (Advanced Microcontroller Bus Architecture), которая применена для доступа к периферии. Данный процессор имеет две шины AMBA: шина АНВ (Advanced High-performance Bus) применяется для доступа к модулям системы и АРВ (Advanced Peripheral Bus) применяется для доступа к периферии с низкой скоростью обмена.

# ADuC702x

**Table 6. MMRs**

Address	Name	Byte	Access		Page
			Type	Cycle	
<b>IRQ</b> address base = 0xFFFF0000					
0x0000	IRQSTA	4	R	1	65
0x0004	IRQSIG	4	R	1	65
0x0008	IRQEN	4	RW	1	65
0x000C	IRQCLR	4	W	1	65
0x0010	SWICFG	4	W	1	66
0x0100	FIQSTA	4	R	1	65
0x0104	FIQSIG	4	R	1	65
0x0108	FIQEN	4	RW	1	65
0x010C	FIQCLR	4	W	1	65
<b>System Control</b> address base = 0xFFFF0200					
0x0220	REMAP	1	RW	1	36
0x0230	RSTSTA	1	R	1	36
0x0234	RSTCLR	1	W	1	36
<b>Timer</b> address base = 0xFFFF0300					
0x0300	T0LD	2	RW	2	67
0x0304	T0VAL	2	R	2	67
0x0308	T0CON	2	RW	2	67
0x030C	T0CLR1	1	W	2	67
0x0320	T1LD	4	RW	2	68
0x0324	T1VAL	4	R	2	68
0x0328	T1CON	2	RW	2	68
0x032C	T1CLR1	1	W	2	68
0x0330	T1CAP	4	RW	2	68
0x0340	T2LD	4	RW	2	69
0x0344	T2VAL	4	R	2	69
0x0348	T2CON	2	RW	2	69
0x034C	T2CLR1	1	W	2	69
0x0360	T3LD	2	RW	2	70
0x0364	T3VAL	2	R	2	70
0x0368	T3CON	2	RW	2	70
0x036C	T3CLR1	1	W	2	70
<b>PLL</b> base address = 0xFFFF0400					
0x0404	POWKEY1	2	W	2	41
0x0408	POWCON	2	RW	2	41
0x040C	POWKEY2	2	W	2	41
0x0410	PLLKEY1	2	W	2	41

Address	Name	Byte	Access		Page
			Type	Cycle	
0x0414	PLLCON	2	RW	2	41
0x0418	PLLKEY2	2	W	2	41
<b>PSM</b> address base = 0xFFFF0440					
0x0440	PSMCON	2	RW	2	39
0x0444	CMPCON	2	RW	2	39
<b>Reference</b> address base = 0xFFFF0480					
0x048C	REFCON	1	RW	2	31
<b>ADC</b> address base = 0xFFFF0500					
0x0500	ADCCON	1	RW	2	27
0x0504	ADCCP	1	RW	2	28
0x0508	ADCCN	1	RW	2	28
0x050C	ADCSTA	1	RW	2	27
0x0510	ADCDAT	4	R	2	27
0x0514	ADCRST	1	RW	2	27
0x0530	ADCGN	2	RW	2	30
0x0534	ADCOF	2	RW	2	30
<b>DAC</b> address base = 0xFFFF0600					
0x0600	DAC0CON	1	RW	2	37
0x0604	DAC0DAT	4	RW	2	37
0x0608	DAC1CON	1	RW	2	37
0x060C	DAC1DAT	4	RW	2	37
<b>UART</b> base address = 0xFFFF0700					
0x0700	COMTX	1	RW	2	53
	COMRX	1	R	2	53
	COMDIV0	1	RW	2	53
0x0704	COMIEN0	1	RW	2	54
	COMDIV1	1	R/W	2	53
0x0708	COMIID0	1	R	2	54
0x070C	COMCON0	1	RW	2	53
0x0710	COMCON1	1	RW	2	55
0x0714	COMSTA0	1	R	2	54
0x0718	COMSTA1	1	R	2	55
0x071C	COMSCR	1	RW	2	53
0x0720	COMIEN1	1	RW	2	56
0x0724	COMIID1	1	R	2	56
0x0728	COMADR	1	RW	2	53
0x072C	COMDIV2	2	RW	2	55

# ADuC702x

Address	Name	Byte	Access		Page
			Type	Cycle	
<b>I2C0</b> base address = 0xFFFF0800					
0x0800	I2C0MSTA	1	R	2	60
0x0804	I2C0SSTA	1	R	2	60
0x0808	I2C0SRX	1	R	2	59
0x080C	I2C0STX	1	W	2	59
0x0810	I2C0MRX	1	R	2	59
0x0814	I2C0MTX	1	W	2	59
0x0818	I2C0CNT	1	RW	2	59
0x081C	I2C0ADR	1	RW	2	59
0x0824	I2C0BYTE	1	RW	2	59
0x0828	I2C0ALT	1	RW	2	59
0x082C	I2C0CFG	1	RW	2	59
0x0830	I2C0DIVH	1	RW	2	59
0x0834	I2C0DIVL	1	RW	2	59
0x0838	I2C0ID0	1	RW	2	59
0x083C	I2C0ID1	1	RW	2	59
0x0840	I2C0ID2	1	RW	2	59
0x0844	I2C0ID3	1	RW	2	59
<b>I2C1</b> base address = 0xFFFF0900					
0x0900	I2C1MSTA	1	R	2	60
0x0904	I2C1SSTA	1	R	2	60
0x0908	I2C1SRX	1	R	2	59
0x090C	I2C1STX	1	W	2	59
0x0910	I2C1MRX	1	R	2	59
0x0914	I2C1MTX	1	W	2	59
0x0918	I2C1CNT	1	RW	2	59
0x091C	I2C1ADR	1	RW	2	59
0x0924	I2C1BYTE	1	RW	2	59
0x0928	I2C1ALT	1	RW	2	59
0x092C	I2C1CFG	1	RW	2	59
0x0930	I2C1DIVH	1	RW	2	59
0x0934	I2C1DIVL	1	RW	2	59
0x0938	I2C1ID0	1	RW	2	59
0x093C	I2C1ID1	1	RW	2	59
0x0940	I2C1ID2	1	RW	2	59
0x0944	I2C1ID3	1	RW	2	59
<b>SPI</b> base address = 0xFFFF0A00					
0x0A00	SPISTA	1	R	2	57

Address	Name	Byte	Access		Page
			Type	Cycle	
0x0A04	SPIRX	1	R	2	57
0x0A08	SPITX	1	W	2	57
0x0A0C	SPIDIV	1	RW	2	57
0x0A10	SPICON	2	RW	2	57
<b>PLA</b> base address = 0xFFFF0B00					
0x0B00	PLAELM0	2	RW	2	62
0x0B04	PLAELM1	2	RW	2	62
0x0B08	PLAELM2	2	RW	2	62
0x0B0C	PLAELM3	2	RW	2	62
0x0B10	PLAELM4	2	RW	2	62
0x0B14	PLAELM5	2	RW	2	62
0x0B18	PLAELM6	2	RW	2	62
0x0B1C	PLAELM7	2	RW	2	62
0x0B20	PLAELM8	2	RW	2	62
0x0B24	PLAELM9	2	RW	2	62
0x0B28	PLAELM10	2	RW	2	62
0x0B2C	PLAELM11	2	RW	2	62
0x0B30	PLAELM12	2	RW	2	62
0x0B34	PLAELM13	2	RW	2	62
0x0B38	PLAELM14	2	RW	2	62
0x0B3C	PLAELM15	2	RW	2	62
0x0B40	PLACLK	1	RW	2	63
0x0B44	PLAIRQ	4	RW	2	63
0x0B48	PLAADC	4	RW	2	64
0x0B4C	PLADIN	4	R	2	64
0x0B50	PLADOUT	4	RW	2	64
<b>External Memory</b> base address = 0xFFFFF000					
0xF000	XMCFG	1	RW	2	71
0xF010	XM0CON	1	RW	2	71
0xF014	XM1CON	1	RW	2	71
0xF018	XM2CON	1	RW	2	71
0xF01C	XM3CON	1	RW	2	71
0xF020	XM0PAR	2	RW	2	71
0xF024	XM1PAR	2	RW	2	71
0xF028	XM2PAR	2	RW	2	71
0xF02C	XM3PAR	2	RW	2	71
<b>GPIO</b> base address = 0xFFFFF400					
0xF400	GP0CON	4	RW	1	49
0xF404	GP1CON	4	RW	1	49

# ADuC702x

Address	Name	Byte	Access		Page
			Type	Cycle	
0xF408	GP2CON	4	RW	1	49
0xF40C	GP3CON	4	RW	1	49
0xF410	GP4CON	4	RW	1	49
0xF420	GP0DAT	4	RW	1	51
0xF424	GP0SET	1	W	1	51
0xF428	GP0CLR	1	W	1	51
0xF430	GP1DAT	4	RW	1	51
0xF434	GP1SET	1	W	1	51
0xF438	GP1CLR	1	W	1	51
0xF440	GP2DAT	4	RW	1	51
0xF444	GP2SET	1	W	1	51
0xF448	GP2CLR	1	W	1	51
0xF450	GP3DAT	4	RW	1	51
0xF454	GP3SET	1	W	1	51
0xF458	GP3CLR	1	W	1	51
0xF460	GP4DAT	4	RW	1	51
0xF464	GP4SET	1	W	1	51
0xF468	GP4CLR	1	W	1	51
<b>Flash/EE</b> base address = 0xFFFFF800					
0xF800	FEESTA	1	R	1	33
0xF804	FEEMOD	1	RW	1	33
0xF808	FEECON	1	RW	1	33
0xF80C	FEEDAT	2	RW	1	33
0xF810	FEEADR	2	RW	1	33
0xF818	FEESIGN	3	R	1	33
0xF81C	FEEPRO	4	RW	1	34
0xF820	FEEHIDE	4	RW	1	34
<b>PWM</b> base address= 0xFFFFFC00					
0xFC00	PWMCON	2	RW	1	47
0xFC04	PWMSTA	2	RW	1	47
0xFC08	PWMDAT0	2	RW	1	47
0xFC0C	PWMDAT1	2	RW	1	47
0xFC10	PWMCFG	2	RW	1	47
0xFC14	PWMCH0	2	RW	1	47
0xFC18	PWMCH1	2	RW	1	47
0xFC1C	PWMCH2	2	RW	1	47
0xFC20	PWMEN	2	RW	1	48
0xFC24	PWMDAT2	2	RW	1	48

## СХЕМА АЦП

### ОБЩИЙ ОБЗОР

Аналого-цифровой преобразователь (АЦП), входящий в состав Микроконвертеров ADuC702x – это быстродействующий, многоканальный 12-разрядный АЦП. Он работает при напряжении питания 2.7...3.6 В и обеспечивает производительность до 1 миллиона отсчетов в секунду (1 MSPS) при тактовой частоте 45 МГц. В блок АЦП входят многоканальный мультиплексор, дифференциальное устройство выборки-хранения, встроенный источник опорного напряжения (ИОН) и собственно АЦП.

Преобразователь представляет собой 12-разрядный АЦП последовательного приближения на основе двух ЦАП на переключаемых конденсаторах. АЦП может работать в одном из трех различных режимов, в зависимости от заданной конфигурации:

- полностью дифференциальный режим – для слабых дифференциальных сигналов;
- однополярный режим – для любых однополярных сигналов
- псевдодифференциальный режим – для любых однополярных сигналов, но при этом обеспечивается преимущество – подавление синфазного сигнала псевдодифференциальным входом.

Данный преобразователь работает с аналоговым сигналом в диапазоне от 0 до  $V_{REF}$  при работе в однополярном или псевдодифференциальном режиме. В полностью дифференциальном режиме синфазное напряжение  $V_{CM}$  входного сигнала должно находиться в диапазоне  $0...AV_{DD}$  и амплитуда входного сигнала не должна превышать  $2 \cdot V_{REF}$  (см. рис. 7).

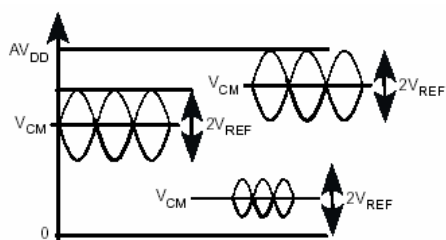


Рис. 7. Примеры режимов работы дифференциального входа

На кристалле имеется прецизионный, высокостабильный источник опорного напряжения (ИОН) напряжением 2.5 В с заводской калибровкой. Также можно использовать внешний ИОН, как описано ниже. С помощью программы запускается режим одиночного или непрерывного преобразования. Кроме того, для запуска аналого-цифрового преобразования может быть использован сигнал на входе CONVSTART, выходной сигнал встроенной в кристалл программируемой логической матрицы (PLA), а также сигнал переполнения таймера Timer1 или Timer2.

В схеме ИОН имеется выход напряжения, пропорционального абсолютной температуре; это напряжение может подаваться на один из входов мультиплексора (в сущности это – еще один канал АЦП), в результате мы имеем канал измерения температуры

и можем получить значение температуры кристалла с точностью  $\pm 3^\circ\text{C}$ .

### ФУНКЦИЯ ПРЕОБРАЗОВАНИЯ АЦП

#### Псевдодифференциальный и однополярный режимы

В псевдодифференциальном или однополярном режиме входной сигнал находится в диапазоне  $0...V_{REF}$ . Выходной код в псевдодифференциальном или однополярном режиме – прямой двоичный код, единица младшего разряда (LSB) соответствует  $1 \text{ LSB} = FS/4096$  или  $2.5 \text{ В}/4096 = 0.61 \text{ мВ} = 610 \text{ мкВ}$  при опорном напряжении  $V_{REF} = 2.5 \text{ В}$ . В идеале характеристика преобразования проходит через точки  $1/2 \text{ LSB}$ ,  $3/2 \text{ LSBs}$ ,  $5/2 \text{ LSBs}$ , ...,  $FS - 3/2 \text{ LSB}$ . Идеальная характеристика преобразования показана на рис. 8.

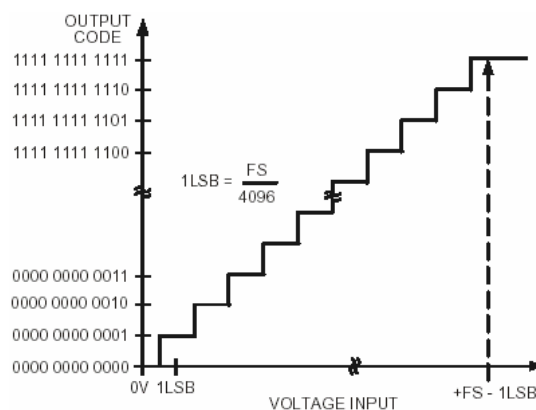


Рис. 8. Характеристика преобразования АЦП в псевдодифференциальном или однополярном режиме

#### Полностью дифференциальный режим

Амплитуда дифференциального сигнала представляет собой разность между величинами сигналов на входах  $V_{IN+}$  и  $V_{IN-}$  (то есть  $V_{IN+} - V_{IN-}$ ). Максимальный размах дифференциального сигнала таким образом составляет величину от  $-V_{REF}$  до  $+V_{REF}$  (то есть  $2 \cdot V_{REF}$ ). Это без учета синфазного сигнала (common mode, CM). Синфазный сигнал является средним двух сигналов, т.е.  $(V_{IN+} + V_{IN-})/2$  и таким образом синфазный сигнал – это уровень, относительно которого изменяются два входных сигнала. Поэтому пределы изменения сигнала на каждом входе определяются величиной  $CM \pm V_{REF}/2$ . Синфазное напряжение устанавливается с помощью внешних цепей и его диапазон зависит от величины  $V_{REF}$ .

В полностью дифференциальном режиме аналоговый сигнал преобразуется в дополнительный цифровой код с величиной  $1 \text{ LSB} = 2 \cdot V_{REF}/4096$  или  $2 \cdot 2.5 \text{ В}/4096 = 1.22 \text{ мВ}$  при  $V_{REF} = 2.5 \text{ В}$ . В идеале характеристика преобразования проходит через точки  $1/2 \text{ LSB}$ ,  $3/2 \text{ LSBs}$ ,  $5/2 \text{ LSBs}$ , ...,  $FS - 3/2 \text{ LSB}$ . Идеальная характеристика преобразования показана на рис. 9.

# ADuC702x

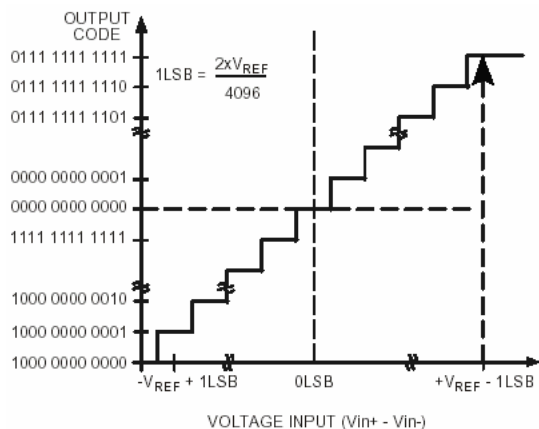


Рис. 9. Характеристика преобразования АЦП в полностью дифференциальном режиме

## ТИПИЧНЫЙ АЛГОРИТМ

После того, как АЦП сконфигурирован посредством записи в регистр управления и выбора канала, преобразователь может принимать входной сигнал и обеспечивать 12-разрядный результат, помещая его в регистр данных АЦП. Верхние 4 бита – это знаковые разряды, а 12-битный результат занимает разряды с 16 по 27, как показано на рис. 10. Еще раз напоминаем, что в полностью дифференциальном режиме результат представлен в дополнительном коде, а в псевдодифференциальном и однополярном режимах результат представлен в прямом двоичном формате.

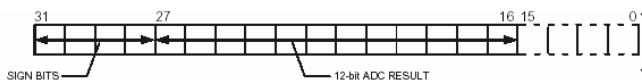


Рис. 10. Формат данных на выходе АЦП

Такой же формат имеют регистры DACxDAT, что упрощает алгоритмы обработки данных.

## Интерфейс АЦП с регистрами MMRS

АЦП управляется и конфигурируется при помощи набора регистров, отображённых в памяти (MMR); эти регистры перечислены ниже:

- ADCCON: Регистр управления АЦП, посредством этого регистра программист разрешает работу АЦП, выбирает режим работы АЦП (однополярный, псевдодифференциальный или полностью дифференциальный) и тип преобразования. Этот регистр описан в табл. 7.
- ADCCP: регистр выбора положительного канала АЦП
- ADCCN: регистр выбора отрицательного канала АЦП

ADCSTA: регистр статуса АЦП, показывает, что результат преобразования доступен. Регистр ADCSTA содержит только один бит (разряд 0). Этот бит устанавливается после завершения преобразования, что приводит к генерации прерывания. Регистр автоматически сбрасывается при чтении регистра ADCDAT. Пока в АЦП происходит преобразование, состояние АЦП может быть считано внешним устройством посредством вывода ADCBusy. Этот вывод находится в состоянии логической единицы во время преобразования. Когда преобразование завершено, вывод ADCBusy переходит в состояние низкого логического уровня. Эта информация доступна через вывод P0.3 (см. главу о выходах общего назначения GPIO), если это разрешено посредством регистра ADCCON.

ADCDAT: Регистр результата аналого-цифрового преобразования, в нем содержится результат, как это показано на рис. 10.

- ADCRST: Регистр сброса АЦП. Посредством этого регистра можно сбросить все регистры АЦП в их состояние по умолчанию.
- ADCOF: 10-разрядный регистр калибровки смещения
- ADCGN: 10-разрядный регистр калибровки усиления

Табл. 7. Назначение разрядов регистра ADCCON.

Разряд	Описание
7	Разрешить преобразование. Устанавливается пользователем с целью разрешить режим преобразования Сбрасывается пользователем с целью отменить режим преобразования
6	Разрешает работу вывода ADCBUSY Устанавливается пользователем с целью разрешить работу вывода ADCBUSY Сбрасывается пользователем с целью отменить работу вывода ADCBUSY
5	Управление питанием АЦП: Устанавливается пользователем с целью перевести АЦП в нормальный режим работы; АЦП должен быть включен за время не менее 500 мкс до момента, когда он будет работать корректно Сбрасывается пользователем с целью перевести АЦП в режим малого энергопотребления
4-3	Режим преобразования: 00 Однополярный вход 01 Дифференциальный вход 10 Псевдодифференциальный вход 11 <i>Зарезервировано</i>
2-0	Тип преобразования: 000 Разрешить преобразование по сигналу на входе CONVSTART 001 Разрешить преобразование по сигналу от таймера 1 010 Разрешить преобразование по сигналу от таймера 0 011 Однократное преобразование с управлением от программы, после преобразования биты сбрасываются в состояние 000 100 Непрерывное преобразование с управлением от программы 101 Преобразование по сигналу с выхода PLA Остальные сочетания зарезервированы

Табл. 8. Регистр ADCCP\*

Разряд	Описание
7-5	<i>Зарезервированы</i>
4-0	Разряды выбора положительного канала 00000 ADC0 00001 ADC1 00010 ADC2 00011 ADC3 00100 ADC4 00101 ADC5 00110 ADC6 00111 ADC7 01000 ADC8 01001 ADC9 01010 ADC10 01011 ADC11 01100 DAC0/ADC12 01101 DAC1/ADC13 01110 DAC2/ADC14 01111 DAC3/ADC15 10000 Датчик температуры 10001 AGND 10010 ИОН 10011 AVDD/2 Остальные зарезервированы

Табл. 9. Регистр ADCCN\*

Разряд	Описание
7-5	<i>Зарезервированы</i>
4-0	Разряды выбора отрицательного канала 00000 ADC0 00001 ADC1 00010 ADC2 00011 ADC3 00100 ADC4 00101 ADC5 00110 ADC6 00111 ADC7 01000 ADC8 01001 ADC9 01010 ADC10 01011 ADC11 01100 DAC0/ADC12 01101 DAC1/ADC13 01110 DAC2/ADC14 01111 DAC3/ADC15 10000 ИОН Остальные зарезервированы

\* Наличие и количество каналов АЦП/ЦАП зависит от конкретной модели.

# ADuC702x

## РАБОТА ПРЕОБРАЗОВАТЕЛЯ

АЦП работает по принципу последовательного приближения (SAR) с входным каскадом на переключаемых конденсаторах (charge-sampled). Принципы работы такой архитектуры описаны ниже для трех различных режимов работы.

### Дифференциальный режим

В ИС ADuC702x имеется АЦП последовательного приближения на двух ЦАП на конденсаторах. На рис. 11 и рис. 12 показана упрощенная схема АЦП в фазе выборки и в фазе преобразования соответственно. В АЦП имеется управляющая логика, регистр последовательного приближения SAR и два ЦАП на конденсаторах. На рис. 11 (фаза выборки), ключ SW3 замкнут, SW1 и SW2 находятся в положении А, компаратор находится в сбалансированном состоянии, а конденсаторы выборки считывают дифференциальный сигнал, присутствующий на входе.

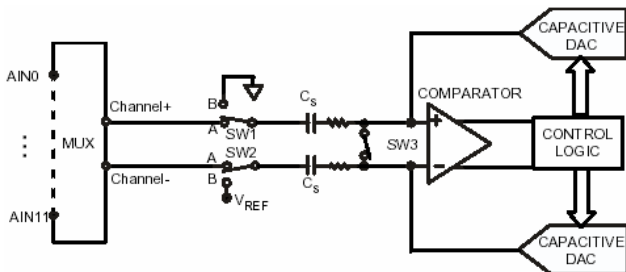


Рис. 11. Стадия выборки АЦП

Когда АЦП начинает процесс преобразования (рис. 12), ключ SW3 размыкается, ключи SW1 и SW2 переходят в положение В, при этом компаратор становится разбалансированным. Оба входа отключаются в начале преобразования. Управляющая логика и ЦАП с перераспределением заряда компенсируют заряд на конденсаторе выборки так, что компаратор возвращается в сбалансированное состояние. Этот момент соответствует окончанию преобразования. Управляющая логика генерирует код на выходе АЦП. Импедансы источников на входах  $V_{IN-}$  и  $V_{IN+}$  должны совпадать; иначе два входа будут обладать различным временем установления, что приведет к возникновению погрешности.

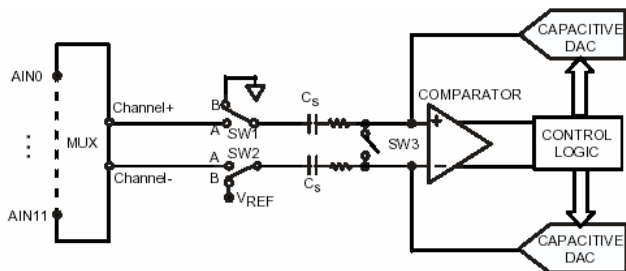


Рис. 12. Стадия преобразования АЦП

### Псевдодифференциальный режим

В псевдодифференциальном режиме Канал- соединен со входом  $V_{IN-}$  микросхемы ADuC702x, а ключ SW2 переключается между точками А (Канал-) и В ( $V_{REF}$ ). Вход  $V_{IN-}$  должен быть подключен к "земле" или к низкому напряжению. Входной сигнал на выводе  $V_{IN+}$  может изменяться в пределах от  $V_{IN-}$  до  $V_{REF} + V_{IN-}$ . Обратите внимание что напряжение  $V_{IN-}$  должно быть выбрано таким, чтобы значение  $V_{REF} + V_{IN-}$  не выходило за пределы напряжения питания  $AV_{DD}$ .

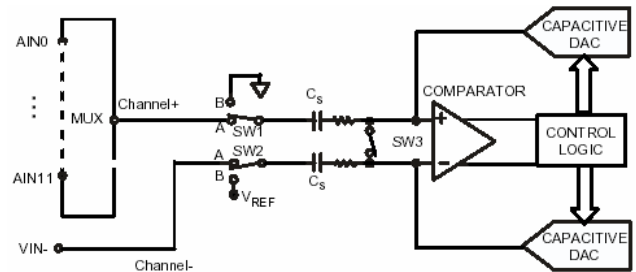


Рис. 13. АЦП в псевдодифференциальном режиме

### Однополярный режим

В однополярном режиме ключ SW2 всегда подключен к внутренней "земле" микросхемы. Вход  $V_{IN-}$  может оставаться неподключенным. Сигнал на входе  $V_{IN+}$  должен находиться в диапазоне  $0 \dots V_{REF}$ .

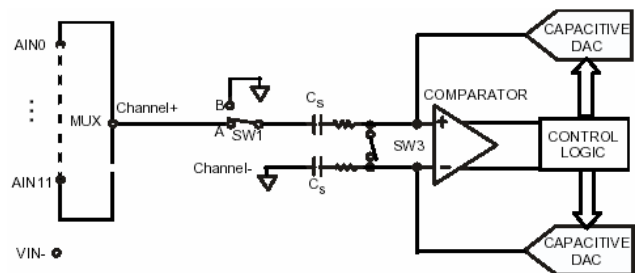


Рис. 14. АЦП в однополярном режиме

### Структура аналогового входа

На рис. 15 показана эквивалентная схема аналогового входа АЦП. Четыре диода обеспечивают защиту входа от электростатического разряда (ESD). Необходимо принять меры, чтобы аналоговый входной сигнал никогда не выходил более чем на 300 мВ за пределы ниже отрицательного напряжения источника питания или выше положительного. Иначе защитные диоды откроются и через них потечет ток на подложку. Эти диоды способны пропускать ток до 10 мА без необратимых повреждений кристалла. Емкости, обозначенные на рис. 15 как C1 с типичной величиной 4 пФ, в первую очередь определяют емкостью выводов. Резисторы – это паразитные сопротивления электронных ключей во включенном состоянии. Их типичная величина около 100 Ом. Емкости C2 – это конденсаторы выборки на входе АЦП, типичная величина их емкости составляет 16 пФ. При оцифровке сигнала переменного тока рекомендуется устранить высокочастотные составляющие из входного сигнала с помощью низкочастотного RC фильтра на соответствующих входных выводах. В случаях, когда предъявляются жесткие требования к уровню искажений и шумов, сигнал на вход АЦП должен подаваться от источника с низким импедансом. Высокий импеданс

источника может значительно ухудшить характеристики АЦП на переменном токе. Может потребоваться буферный усилитель на входе. Выбор операционного усилителя зависит от особенностей схемы.

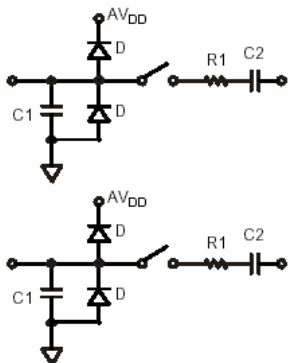


Рис. 15. Эквивалентная схема аналогового входа. Стадия преобразования: ключ разомкнут, стадия выборки: ключ замкнут.

Если на входе нет буфера, то импеданс источника не должен превышать величину 1 кОм. Максимально допустимый импеданс источника будет зависеть от того, какой уровень искажений (THD) допустим. THD будет увеличиваться с ростом импеданса и характеристики будут ухудшаться.

### Подача сигнала на аналоговые входы

При работе АЦП может применяться внутренний или внешний источник опорного напряжения. В дифференциальном режиме существуют ограничения на величину синфазного сигнала ( $V_{CM}$ ), зависящие от величины  $V_{REF}$  и от напряжения источника питания, так как сигнал должен находиться в границах напряжения питания. В табл. 10 приведены некоторые величины  $V_{CMmin}$  и  $V_{CMmax}$  для некоторых условий.

Табл. 10

AVDD	VREF	$V_{CM} \min$	$V_{CM} \max$	Signal Peak-Peak
3.3V	2.5V	1.25V	2.05V	2.5V
	2.048V	1.024V	2.276V	2.048V
	1.25	0.75V	2.55V	1.25
3.0V	2.5V	1.25V	1.75V	2.5V
	2.048V	1.024V	1.976V	2.048V
	1.25	0.75V	2.25V	1.25

### КАЛИБРОВКА АЦП

Системная калибровка или калибровка устройства производится программным путем. Для калибровки доступны два 10-разрядных регистра, ADCOF и ADCGN. Для устранения погрешности смещения необходимо либо снаружи подключить аналоговый вход к "земле" AGND (системная калибровка), либо в микросхеме выбрать внутренний канал "земли" AGND (калибровка устройства). Для подбора величины в регистре ADCOF необходимо создать программный цикл, с помощью которого необходимо добиться значения кода в регистре ADCDAT равного 0 или 1. Погрешность смещения устраняется в цифровом виде, разрешение схемы устранения погрешности смещения составляет  $0.25 \cdot \text{LSB}$  и диапазон компенсации  $\pm 3.125\%$  от  $V_{REF}$ .

Для коррекции коэффициента усиления необходимо либо снаружи подключить аналоговый вход к источнику  $V_{REF}$  (системная калибровка), либо в микросхеме выбрать внутренний канал источника опорного напряжения (калибровка устройства).

Для подбора величины в регистре ADCGN необходимо создать программный цикл, с помощью которого необходимо добиться значения кода в регистре ADCDAT равного 4094 или 4095. Подобно схеме калибровки смещения, разрешающая способность схемы калибровки усиления составляет  $0.25 \cdot \text{LSB}$  и диапазон компенсации  $\pm 3\%$  от  $V_{REF}$ .

### ДАТЧИК ТЕМПЕРАТУРЫ

В микросхеме ADuC702x со встроенного источника опорного напряжения имеется выход сигнала, пропорционального величине абсолютной температуры. Этот сигнал может подаваться на вход АЦП через внутренний мультиплексор (в сущности, это – дополнительный аналоговый канал), обеспечивая измерение температуры кристалла с точностью  $\pm 3^\circ\text{C}$ .

### ИСТОЧНИК ОПОРНОГО НАПЯЖЕНИЯ

В микросхеме ADuC702x имеется встроенный источник опорного напряжения (ИОН) 2.5 В на запрещенной зоне, который может быть использован как для АЦП, так и для ЦАП. Этот ИОН также выдает сигнал на внешний вывод  $V_{REF}$ . При использовании внутреннего ИОН между выходом  $V_{REF}$  и "землей" должен быть подключен конденсатор емкостью 0.47 мкФ для обеспечения стабильности и минимизации переходного процесса при аналого-цифровом преобразовании. Этот ИОН может подключаться через выход  $V_{REF}$  в качестве опорного источника ко внешним схемам в системе. Этот выход не обладает высокой нагрузочной способностью, поэтому может понадобиться внешний буфер. С помощью программных установок можно переключить микросхему ADuC702x в режим внешнего источника опорного напряжения и подключить внешний ИОН к выводу  $V_{REF}$ . Интерфейс с ИОН осуществляется с помощью 8-битного MMR-регистра REFCON, описанного в табл. 11.

## ADuC702x

Табл. 11. Назначение разрядов  
MMR-регистра REFCON.

Разряд	Описание
7–2	Зарезервированы
1	Отключение внутреннего ИОН Устанавливается пользователем для выключения внутреннего ИОН и использования внешнего источника опорного напряжения Сбрасывается пользователем для перевода внутреннего ИОН в рабочий режим и использования его для работы АЦП
0	Разрешить выход внутреннего ИОН Устанавливается пользователем для подключения внутреннего 2.5-вольтового ИОН к выходу $V_{REF}$ . Этот выход может использоваться внешней схемой в качестве ИОН, но возможно понадобится дополнительный буфер. Сбрасывается пользователем для отключения внутреннего ИОН от выхода $V_{REF}$ .

## ЭНЕРГОНЕЗАВИСИМАЯ ПАМЯТЬ FLASH/EE

### ОБЗОР

В микросхеме ADuC702x имеется память Flash/EE, обеспечивающая энергонезависимое хранение и возможность внутрисхемного программирования. Подобно памяти EEPROM, память Flash может программироваться в системе побайтно, однако сначала необходимо ее очистить; очистка производится постранично. Таким образом память Flash часто (и более корректно) именуется памятью Flash/EE. В целом память Flash/EE представляет собой нечто весьма близкое к идеальному устройству памяти, т.к. обладает энергонезависимостью, внутрисистемной программируемостью, высокой плотностью и низкой стоимостью. В составе ИС ADuC702x память Flash/EE обеспечивает возможность внутрисхемного репрограммирования без необходимости замены микросхемы памяти, если необходимо изменить программу в готовом работающем устройстве.

### ПАМЯТЬ FLASH/EE В МИКРОСХЕМЕ ADUC702X

В ИС ADuC702x имеется 64 кВ памяти Flash/EE. Нижние 62 кВ доступны для пользователя, верхние 2 кВ памяти флэш/EE содержат встроенное заводское программное обеспечение для внутрисхемного последовательного программирования. В этих 2 кВ памяти также находится программа конфигурирования процессора при подаче питания, которая загружает заводские калибровочные константы для различной периферии (АЦП, датчика температуры, ИОН и т.д.) Эти 2 кВ программ скрыты от пользователя.

62 кВ памяти флэш/EE могут программироваться внутрисхемно с помощью режима последовательной загрузки, или с помощью JTAG, или посредством параллельного программирования.

### (1) Последовательная внутрисхемная загрузка

ИС ADuC702x позволяет загружать код через стандартный последовательный порт UART или через порт I2C. Микросхема ADuC702x входит в режим последовательной загрузки после сброса или при включении питания, если вывод ВМ притянут к "земле" с помощью резистора сопротивлением 1 кОм. В режиме последовательной загрузки пользователь может загружать код во все 62 кВ памяти флэш/EE в то время как микросхема находится в готовом устройстве. Программа для компьютера, обеспечивающая последовательную загрузку через интерфейс UART, поставляется в наборе разработчика. На сайте [www.analog.com/microconverter](http://www.analog.com/microconverter) имеется руководство, в котором описан протокол последовательной загрузки через порт UART и I2C.

### (2) Параллельное программирование

Параллельное программирование памяти Flash/EE осуществляется с помощью промышленных программаторов сторонних производителей.

### (3) Доступ посредством JTAG

С помощью интерфейса JTAG можно осуществлять внутрисхемное программирование и отладку.

### Защита памяти FLASH/EE

62 кВ памяти Flash/EE, доступных для пользователя, можно заблокировать от чтения и записи.

Разряд 31 MMR-регистра FEEPROM/FEEHIDE защищает 62 кВ памяти от считывания через интерфейс JTAG или с помощью параллельного программатора. Остальные разряды (31 бит) этого регистра блокируют запись в память флэш, каждый бит блокирует 4 страницы, то есть 2 кВ памяти. Защита от записи распространяется на все способы доступа.

Существует два уровня защиты:

- Защита может быть установлена или снята путем записи непосредственно в MMR-регистр FEEHIDE.

- FEEPROM может быть защищен ключом для защиты от прямого доступа. Ключевой код сохраняется и для изменения FEEPROM должен быть введен повторно. При полном стирании ключ установится в значение 0xFFFF, но при этом сотрется весь пользовательский код.

Последовательности записи ключа такова:

1. Ввести адрес в регистр FEEADR.
2. Выполнить одиночную команду READ, ожидать подтверждение успешности чтения по состоянию регистра FEESTA.
3. Выполнить команду проверки.
4. Записать бит в FEEPROM, в место соответствующее защищаемой странице.
5. Разрешить защиту ключом – установить биты с 7 по 4 регистра FEEMOD.
6. Записать 32-разрядный ключ в регистры FEEADR, FEEDAT.

7. Осуществить запись ключа командой 0x0C в регистре FEEDCON, ожидать подтверждение успешности записи по состоянию регистра FEESTA.

Для того чтобы снять защиту или изменить ее конфигурацию необходима та же последовательность действий с соответственно модифицированным значением FEEDPRO.

Вышеприведенную последовательность действий проиллюстрируем на примере, в котором защищаются от записи страницы с 4 по 7 памяти Flash:

```
FEEDADR = 0x800; //какой-то адрес,
```

```
FEEDCON=0x01; //команда чтения
```

```
while (!(FEESTA & 0x01)){} //ждем
```

```
FEEDCON=0x04; //команда проверки
```

```
FEEDPRO=0xFFFFFFF; //защитить страницы с 4 по 7
```

```
FEEMOD=(FEEMOD & 0xF0); //разрешить запись ключа
```

```
FEEDADR=0xAA55; //16-разрядный ключ
```

```
FEEDAT=0xAA55; //16-разрядный ключ
```

```
FEEDCON= 0x0C; //команда записи ключа
```

```
while (!(FEESTA & 0x01)){} //ждем
```

## ИНТЕРФЕЙС УПРАВЛЕНИЯ ПАМЯТЬЮ FLASH/EE

При последовательном, параллельном программировании или программировании через интерфейс JTAG используется управляющий интерфейс памяти Flash/EE, в который входят семь регистров MMR:

- FEESTA: регистр только для чтения, показывает состояние управляющего интерфейса памяти Flash

- FEEMOD: устанавливает режим работы управляющего интерфейса памяти Flash

- FEEDCON: 8-разрядный регистр команд. Команды описаны в табл. 14

- FEEDAT: 16-разрядный регистр данных.

- FEEDADR: 16- разрядный регистр адреса.

- FEESIGN: 24-разрядный регистр электронной подписи

- FEEDPRO: регистр защиты. Требуется программный ключ. См. описание в табл. 15.

- FEEDHIDE: Регистр непосредственной защиты. Не требует ключа. См. описание в табл. 15.

Таблица 12. Назначение разрядов регистра FEESTA

Разряд	Описание
15–6	Зарезервированы
5	Разрешение режима burst (чтения или записи по последовательным адресам без повторного ввода адреса) Устанавливается, если команда работает по принципу burst (команды 0x07, 0x08 или 0x09) Сбрасывается при других командах
4	Зарезервирован
3	Бит состояния прерывания памяти Flash Устанавливается автоматически, когда происходит прерывание, т.е. когда команда выполнена и установлен бит разрешения прерывания Flash/EE в регистре FEEMOD Сбрасывается когда считывается состояние регистра FEESTA
2	Контроллер Flash/EE занят Устанавливается автоматически, когда контроллер Flash/EE занят Сбрасывается автоматически когда контроллер не занят
1	Сбой команды Устанавливается автоматически, если команда выполнена неправильно Сбрасывается когда считывается состояние регистра FEESTA
0	Команда завершена Устанавливается процессором, когда команда завершена Сбрасывается когда считывается состояние регистра FEESTA

Таблица 13. Назначение разрядов регистра FEEMOD

Разряд	Описание
7–5	Зарезервированы
4	Разрешение прерывания Flash/EE: Устанавливается пользователем, чтобы разрешить прерывания Flash/EE. Прерывание произойдет, когда команда будет выполнена. Сбрасывается пользователем, чтобы запретить прерывания Flash/EE.
3–0	Зарезервирован

## ADuC702x

Таблица 14. Коды команд в регистре FEEDAT

Код	Команда	Описание
0x00*	Null	Пустая команда
0x01*	Однократное чтение	Загрузить в FEEDAT 16-битные данные из адреса, на который указывает FEEADR
0x02*	Однократная запись	Записать содержимое FEEDAT по адресу, на который указывает FEEADR Эта операция занимает 20 мкс.
0x03*	Стирание-запись	Стереть страницу, на которую указывает FEEADR и записать содержимое FEEDAT по адресу, на который указывает FEEADR Эта операция занимает 20 мс.
0x04*	Однократная проверка	Сравнить данные по адресу, на который указывает FEEADR с данными в регистре FEEDAT. Результат сравнения показывает разряд 1 регистра FEESTA
0x05*	Однократное стирание	Стереть страницу, на которую указывает FEEADR
0x06*	Общее стирание	Очистить все 62 kB пользовательской памяти программ. 2 kB заводской прошивки не стираются. Эта операция занимает 2.48 с. Как предотвратить случайное выполнение этой команды описано ниже.
0x07	Чтение burst	Команда по умолчанию. Запись не разрешена. Эта операция занимает 2 такта.
0x08	Чтение-запись burst	Записать можно не более 8 слов по 16 бит, эта операция занимает максимум 8 x 20 мкс
0x09	Стирание-запись burst	Автоматически стирает страницу, на которую будет осуществляться запись, что позволяет записывать страницу без специального выполнения команды стирания. Эта команда занимает 20 мс для стирания страницы + 20 мкс для каждого записываемого слова.
0x0A	Завершение burst	Остановить режим burst, разрешить выполнение программы непосредственно из памяти Flash/EE
0x0B	Сигнатура	Получить сигнатуру 64 kB памяти Flash/EE в 24-разрядном MMR-регистре FEESIGN. Эта операция занимает 32778 тактов.
0x0C	Защита	Эта команда выполняется только один раз. Код, хранящаяся в регистре FEEDAT, защищает соответствующие страницы и может быть удален только при общем стирании (0x06) или при помощи ключа
0x0D	Зарезервировано	Зарезервировано
0x0E	Зарезервировано	Зарезервировано
0x0F	Прерывание	Нет операции, но прерывание генерируется

\* В регистре FEEDAT будет находиться код 0x07 непосредственно после выполнения любой из этих команд.

### Последовательность команд для полного стирания

```

FEEADR = 0x800; //Какой-то адрес
FEEDAT=0x01; //Команда чтения
while (!(FEESTA & 0x01)) {} //Ждем
FEEDAT=0x04; //Команда проверки
FEEDAT=0x06; //Разрешить полное стирание
FEEDAT=0x06; //Полное стирание
    
```

Таблица 15. Назначение разрядов MMR-регистров FEEDAT и FEEDAT

Разряд	Описание
31	Защита от чтения Сбрасывается пользователем, чтобы защитить весь код от чтения Устанавливается пользователем, чтобы разрешить чтение кода.
30-0	Защита от записи на страницы 123...120, 119...116 и т.д. до страниц 3...0 Сбрасывается пользователем, чтобы защитить соответствующие 4 страницы от записи Устанавливается пользователем, чтобы разрешить запись на соответствующие страницы

## ВРЕМЯ ВЫПОЛНЕНИЯ ПРОГРАММЫ ИЗ ПАМЯТИ SRAM И ИЗ FLASH/EE

В данном разделе рассматриваются аспекты, связанные со временем выполнения программы из памяти SRAM и Flash/EE, это важно для тех случаев, когда время выполнения программы является критическим.

### Выполнение из памяти SRAM

Извлечение команд из памяти SRAM занимает один такт процессора, т.к. время доступа к памяти SRAM 2 нс, а длительность такта составляет минимум 22 нс. Однако если команда выполняет запись или чтение данных из памяти, то потребуется два такта, если данные находятся в SRAM или три такта, если данные находятся в Flash/EE: один такт для выполнения инструкции и два такта для извлечения 32-битного слова из памяти Flash/EE. Команды, изменяющие последовательность выполнения команд, например команды перехода, будут затрачивать 1 такт для выполнения и еще два такта для заполнения конвейера новыми командами.

### Выполнение из памяти Flash/EE

Так как память Flash/EE имеет ширину 16 бит и время доступа для 16-битного слова составляет 22 нс, выполнение инструкции из памяти Flash/EE невозможно осуществить за один такт, как из памяти SRAM, если  $CD = 0$  ( $CD$  – биты, управляющие тактовой частотой, см. ниже). Также некоторая задержка необходима перед доступом к данным при любом значении  $CD$ .

В режиме ARM, когда ширина команды составляет 32 бита, для извлечения любой инструкции (если  $CD = 0$ ) необходимо два такта, а в режиме Thumb, где команды 16-битные, для извлечения любой команды необходим 1 такт.

Временные характеристики идентичны в обоих режимах, когда выполняемая команда использует память Flash/EE для данных. Если выполняемая команда является командой управления последовательностью выполнения, то потребуется дополнительный такт для декодирования нового адреса программного счетчика и затем необходимы 4 такта для заполнения конвейера. Команды обработки данных, использующие только регистры ядра, не требуют дополнительных циклов, но если они работают с данными, помещенными в памяти Flash/EE, необходим дополнительный цикл для декодирования адреса данных и еще два цикла для извлечения 32-разрядного слова из памяти Flash/EE. Еще один такт понадобится до извлечения следующей команды. Команды передачи данных более сложны и приведены в табл. 16.

Табл. 16 Время выполнения в режимах ARM/Thumb

Команда	Число циклов для извлечения команды	Задержка	Доступ к данным	Задержка
LD	2/1	1	2	1
LDH	2/1	1	1	1
LDM/PUSH	2/1	N	2 x n	N
STR	2/1	1	2 x 20 мкс	1
STRH	2/1	1	20 мкс	1
STRM/POP	2/1	N	2 x N x 20 мкс	N

# ADuC702x

## СБРОС И ПЕРЕКЛЮЧЕНИЕ КОНФИГУРАЦИИ ПАМЯТИ (REMAP)

Все векторы прерываний находятся в начале пространства памяти, по адресам от 0x00000000 до 0x00000020, как показано на рис. 16.

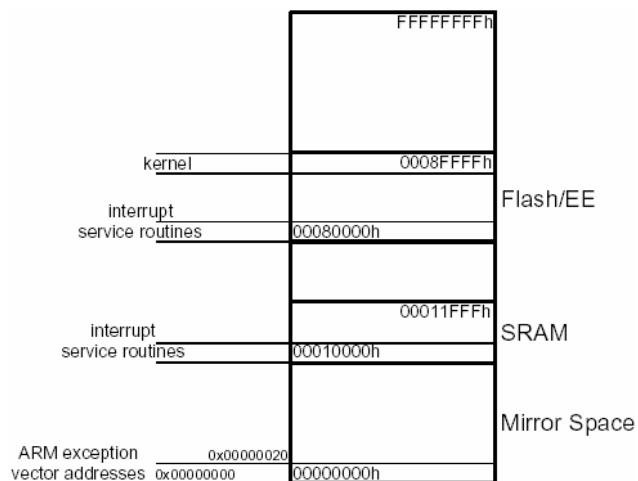


Рис. 15. Конфигурация памяти.

По умолчанию после любого сброса память Flash/EE отображена с начала пространства памяти. Функция remap позволяет поместить в начало адресного пространства память SRAM, что позволяет выполнять подпрограммы обработки прерываний из памяти SRAM вместо Flash/EE. Это означает, что подпрограммы обработки прерываний выполняются в два раза быстрее, они выполняются в 32-разрядном режиме (ARM) и ширина памяти SRAM составляет 32 разряда, а не 16, как у памяти Flash/EE.

## Переключение конфигурации памяти (Remap)

При сбросе процессора автоматически начинает выполняться подпрограмма автоматического конфигурирования, прошитая на заводе. Это так называемое "ядро" (kernel) недоступно для пользователя и доступ к этим программам невозможен. Если ИС ADuC702x работает в нормальном режиме (на вывод VM подан высокий уровень), процессор будет выполнять программу конфигурирования ядра kernel и затем осуществляется переход по адресу 0x00000000 для выполнения подпрограммы обработки прерывания по сбросу процессора. Т.к. в начале пространства памяти при сбросе будет отображаться память Flash/EE, то подпрограмма обработки прерывания по сбросу всегда должна находиться в памяти Flash/EE.

Remap осуществляется командой из памяти Flash/EE путем установки разряда 0 регистра REMAP в единственный уровень. Необходимо быть внимательным: выполнять эти команды из памяти Flash/EE по адресу выше чем 0x00080020, а не в начальных адресах памяти, т.к. эта часть памяти будет замещена памятью SRAM.

Эта операция обратима: память Flash/EE можно вернуть, чтобы она отображалась по адресу 0x00000000, сбросив бит 0 MMR-регистра REMAP. Опять надо быть осторожным и выполнять Remap из места, находящегося вне переключаемой области. При любом виде сброса произойдет Remap и в начале адресного пространства будет находиться память Flash/EE.

## Сброс

Существует 4 вида сброса: внешний сброс, сброс при подаче питания, сброс от сторожевого таймера и программный сброс. Регистр RSTSTA показывает, по какой причине произошел сброс, а с помощью регистра RSTCLR можно очистить регистр RSTSTA. Этими регистрами можно воспользоваться в подпрограмме обработки прерывания по сбросу. Если RSTSTA = 0, то источник сброса – внешний.

Таблица 17. Назначение разрядов регистра REMAP

Разряд	Название	Описание
0	Remap	Бит переключения конфигурации памяти (Remap) Устанавливается пользователем, чтобы поместить память SRAM по адресу 0x00000000 Сбрасывается автоматически при сбросе процессора, по адресу 0x00000000 устанавливается память Flash/EE

Таблица 18. Назначение разрядов регистра RSTSTA

Разряд	Описание
7–3	Зарезервирован
2	Программный сброс Устанавливается пользователем, чтобы выполнить программный сброс Сбрасывается путем установки соответствующего разряда в регистре RSTCLR
1	Сброс от сторожевого таймера Устанавливается автоматически при сбросе от сторожевого таймера Сбрасывается путем установки соответствующего разряда в регистре RSTCLR
0	Сброс при включении питания Устанавливается автоматически при включении питания Сбрасывается путем установки соответствующего разряда в регистре RSTCLR

## ПРОЧАЯ АНАЛОГОВАЯ ПЕРИФЕРИЯ

сигнала:  $0 \dots V_{REF}$  (при работе с внутренним ИОН 2.5 В),  $0 \dots DAC_{REF}$  (вывод 56) и  $0 \dots AV_{DD}$ . К выводу  $DAC_{REF}$  подключается внешний опорный источник. Диапазон сигнала на этом входе может составлять от 0 до  $AV_{DD}$ .

### ЦАП

В микросхеме ADuC702x имеется четыре 12-разрядных ЦАП с выходом напряжения. Каждый ЦАП обладает выходным буфером с полным диапазоном напряжения (rail-to-rail) и способным работать на нагрузку 5 кОм/100 пФ. Буферы можно отключить. ЦАП может работать в трех диапазонах выходного

### Интерфейс ЦАП

Каждый ЦАП управляется независимо при помощи регистра управления и регистра данных. Эти регистры одинаковы у всех четырех ЦАП и ниже будут детально описаны только регистры DAC0CON и DAC0DAT.

Таблица 19. Назначение разрядов регистра DAC0CON

Разряд	Название	Описание
6	DACBYP	Бит отключения буфера Устанавливается пользователем, чтобы отключить буфер Сбрасывается пользователем чтобы включить буфер. По умолчанию выход ЦАП буферизован.
5	DACCLK	Управление частотой обновления сигнала на выходе ЦАП: Устанавливается пользователем, при этом частота обновления сигнала определяется таймером timer1. Сбрасывается пользователем, при этом частота обновления сигнала определяется тактовой частотой ядра.
4	DACCLR	Бит очистки ЦАП: Устанавливается пользователем, обеспечивает нормальную работу ЦАП. Сбрасывается пользователем, при этом регистр данных ЦАП обнуляется.
3		Зарезервирован. Должен оставаться в сброшенном состоянии.
2		Зарезервирован. Должен оставаться в сброшенном состоянии.
1–0		Управление диапазоном ЦАП: 00 Режим энергосбережения. Выход ЦАП в высокоимпедансном состоянии. 01 Диапазон $0-DAC_{REF}$ 10 Диапазон $0-V_{REF}$ (2.5 В) 11 Диапазон $0-AV_{DD}$

Таблица 20. Назначение разрядов регистра DAC0DAT

Разряд	Описание
31–28	Зарезервированы
27–16	12-разрядные данные для DAC0
15–0	Зарезервированы

# ADuC702x

## Использование ЦАП

Структура ЦАП представляет собой цепочку резисторов (string DAC) с буферным усилителем на выходе; функциональный эквивалент схемы показан на рис. 17.

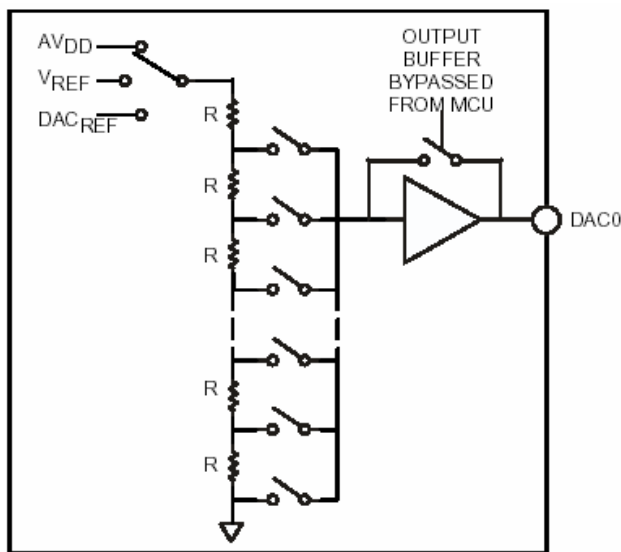


Рис. 17. Структура ЦАП.

Как показано на рис. 17, ИОН для каждого ЦАП может выбираться пользователем программно. Это может быть  $AV_{DD}$ ,  $V_{REF}$  или  $DAC_{REF}$ . В режиме  $0-AV_{DD}$  сигнал на выходе ЦАП изменяется в диапазоне от 0 до напряжения питания на выводе  $AV_{DD}$ . В режиме  $0-DAC_{REF}$  сигнал на выходе ЦАП изменяется в диапазоне от 0 до напряжения на выводе  $DAC_{REF}$ . В режиме  $0-V_{REF}$  сигнал на выходе ЦАП изменяется в диапазоне от 0 до напряжения внутреннего ИОН  $V_{REF} = 2.5$  В. Буфер на выходе ЦАП обладает rail-to-rail выходом. Это означает что при отсутствии нагрузки сигнал на выходе может приближаться ближе чем на 5 мВ к напряжениям питания ( $AGND$  и  $AV_{DD}$ ). Более того, параметры, характеризующие линейность ЦАП (при нагрузке 5 кОм) гарантированы для всего диапазона кода, за исключением диапазонов кода  $0...100$  и (если только АЦП работает в диапазоне  $0-AV_{DD}$ ) для кодов  $3995...4095$ . Линейность ухудшается вблизи "земли" и вблизи  $AV_{DD}$  из-за насыщения выхода усилителя, проявление этого эффекта (без учета погрешностей смещения и усиления) проиллюстрировано на рис. 18. Пунктиром показана идеальная характеристика преобразования, сплошная же линия показывает, что характеристика преобразования обладает нелинейностью на конечных участках из-за насыщения выхода. Обратите внимание, что рис. 18 иллюстрирует характеристику преобразования только в режиме  $0-AV_{DD}$ . В режимах  $0-V_{REF}$  и  $0-DAC_{REF}$  нелинейность в нижней части характеристики будет подобна показанной на рисунке, но на верхнем конце характеристика будет близка к "идеальной" (в этом случае максимальный сигнал будет соответствовать  $V_{REF}$ , а не  $AV_{DD}$ ), нелинейности на конечном участке характеристики не будет.

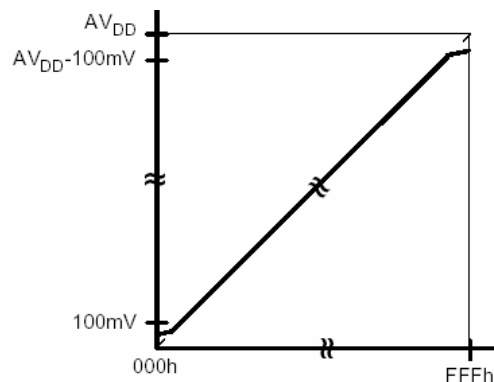


Рис. 18. Нелинейность на конечных участках характеристики из-за насыщения выхода усилителя.

Нелинейности на конечных участках, показанные на рис. 18, проявляются сильнее при меньшем сопротивлении нагрузки. Большинство спецификаций на ADuC702x подразумевают нагрузку сопротивлением 5 кОм между выходом ЦАП и "землей". Если нагрузка имеет меньшее сопротивление и подключена к источнику или к "земле", нелинейные участки в конце или в начале характеристики (соответственно) становятся более выраженными. Если требуется большой ток, это может существенным образом сузить диапазон сигнала на выходе ЦАП.

Чтобы уменьшить эффект насыщения выходного усилителя на конечных участках характеристики и уменьшить погрешности смещения и усиления можно отключить внутренний буфер с помощью управляющего регистра ЦАП. Это позволит получить полный диапазон сигнала на выходе ЦАП (rail-to-rail), и этот сигнал затем должен быть буферизован с помощью внешней схемы на усилителе с биполярным питанием с целью получить rail-to-rail сигнал на выходе. Этот внешний буфер должен располагаться как можно ближе к выходу ЦАП на печатной плате.

## МОНИТОР ИСТОЧНИКА ПИТАНИЯ

Монитор источника питания отслеживает уровень напряжения питания  $IOV_{DD}$  микросхемы ADuC702x. Он обнаруживает падение напряжения ниже выбранного (из двух) уровня напряжения. Работа монитора управляется посредством регистра PSMCON. Если разрешены прерывания  $IRQEN$  или  $FIQEN$ , монитор будет генерировать прерывание ядра, используя бит  $PSMI$  в регистре PSMCON. Этот бит будет сброшен сразу же после того как бит компаратора  $CMP$  установится.

Эта функция монитора позволяет пользователю организовать сохранение содержимого нужных регистров во избежание возможной потери данных при падении напряжения источника питания, а также позволяет быть уверенным, что код будет выполняться только при нормальном уровне напряжения питания.

Таблица 21. Назначение разрядов регистра PSMCON

Разряд	Название	Описание
3	CMP	Бит компаратора Это бит только для чтения, он напрямую связан с выходом компаратора '1' указывает на то, что напряжение IOV <sub>DD</sub> выше выбранного уровня. '0' указывает на то, что напряжение IOV <sub>DD</sub> ниже выбранного уровня.
2	TP	Бит выбора порога срабатывания 0 - 2.79 В 1 - 3.07 В
1	PSMEN	Бит разрешения монитора источника питания Устанавливается пользователем для разрешения работы схемы монитора Сбрасывается пользователем для запрещения работы схемы монитора
0	PSMI	Бит прерывания от монитора источника питания. Этот бит устанавливается в '1' процессором, если CMP = 0, то есть напряжение питания ниже порога. Бит PSMI может быть использован для прерывания процессора. Если CMP = 1, бит PSMI может быть сброшен путем записи '1'. Попытка записать ноль не будет иметь успеха. Временная задержка отсутствует, бит PSMI можно сбросить сразу после того, как бит CMP устанавливается в '1'.

## КОМПАРАТОР

В состав ИС ADuC702x входит аналоговый компаратор. Положительный вход подключен ко входу ADC2, отрицательный вход может переключаться на ADC3 или DAC0. Выход компаратора может подаваться на схему прерывания, на вход PLA (программируемой логической матрицы), на схему запуска начала АЦП-преобразования или на внешний выход CMP<sub>OUT</sub>.

Интерфейс с компаратором осуществляется посредством 16-разрядного регистра CMPCON, описанного ниже.

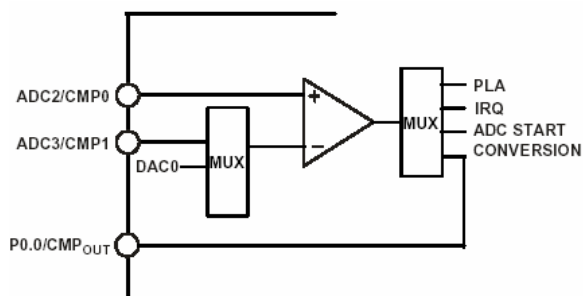


Рис. 19. Компаратор.

# ADuC702x

Таблица 22. Назначение разрядов регистра CMPCON

Разряд	Название	Описание
15–11		Зарезервированы
10	CMPEN	Бит разрешения компаратора: Устанавливается пользователем для разрешения работы компаратора Сбрасывается пользователем для запрещения работы компаратора
9–8	CMPIN	Биты выбора подключения отрицательного входа компаратора: 00 Зарезервировано 01 Вход ADC3 10 Выход DAC0 11 Зарезервировано
7–6	CMPOC	Биты выбора подключения выхода компаратора: 00 Старт преобразования АЦП 01 Зарезервировано 10 Вывод CMP <sub>OUT</sub> 11 Прерывание
5	CMPOL	Логический уровень на выходе компаратора: Если CMPOL = 0, уровень на выходе компаратора равен лог 1 при уровне сигнала на положительном входе (CMP0) выше чем на отрицательном входе (CMP1). Если CMPOL = 1, уровень на выходе компаратора равен лог 1 при уровне сигнала на положительном входе (CMP0) ниже чем на отрицательном входе (CMP1).
4–3	CMPRES	Задержка распространения 00 10 мкс 01 5 мкс 10 1 мкс 11 0.5 мкс
2	CMPHYST	Гистерезис компаратора: Устанавливается пользователем для установки гистерезиса около 7.5 мВ Сбрасывается пользователем для отключения гистерезиса
1	CMPORI	Прерывание по восходящему фронту на выходе компаратора Устанавливается автоматически, если на выходе компаратора возникает восходящий фронт (CMP0) Сбрасывается пользователем путем записи '1' в данный разряд.
0	CMPOFI	Прерывание по спадающему фронту на выходе компаратора Устанавливается автоматически, если на выходе компаратора возникает спадающий фронт (CMP0) Сбрасывается пользователем.

## ГЕНЕРАТОР И СХЕМА ФАПЧ – УПРАВЛЕНИЕ ПИТАНИЕМ

В состав ИС ADuC702x входит генератор на 32768 Гц, делитель частоты и генератор с ФАПЧ (PLL). Схема ФАПЧ умножает частоту внутреннего генератора на 1376, чтобы получить частоту 45 МГц для тактирования системы. Ядро может работать на этой частоте, либо на частотах в два, четыре, восемь и т.д. раза меньших, обеспечивая энергосбережение. По умолчанию частота ядра равна частоте PLL, деленной на 8, т.е. 5.6 МГц. Сигнал тактирования ядра можно вывести на выход ECLK, как изображено на рис. 20. В ИС ADuC702x имеется также режим отключения (power down).

Режим работы, тактирования и программируемый делитель частоты управляются посредством двух MMR-регистров: PLLCON и POWCON. PLLCON управляет режимом работы системы тактирования,

POWCON управляет частотой ядра и режимом отключения (powerdown).

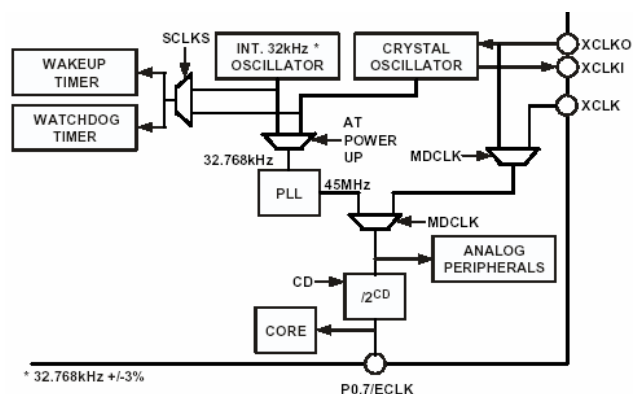


Рис. 20. Система тактирования.

Для программирования регистров PLLCON и POWCON необходимо выполнять определенную последовательность действий – это защита от случайного программирования этих регистров.

PLLCON:	POWCON:
PLLKEY1 = 0xAA	POWKEY1 = 0x01
PLLCON = 0x01	POWCON = 0x00
PLLKEY2 = 0x55	POWKEY1 = 0xF4

Таблица 23. Назначение разрядов регистра PLLCON

Разряд	Название	Описание
7–3		Зарезервированы
2	SCLKS	Выбор источника тактовых импульсов для сторожевого таймера Устанавливается пользователем для использования внутреннего источника тактовых импульсов 32 кГц для работы сторожевого таймера. Этот бит необходимо установить, если сторожевой таймер необходимо использовать при отсутствии внешнего кварца. Сбрасывается пользователем для использования внешнего кварца 32 кГц.
1–0	MDCLK	Режим тактирования 00 Зарезервировано 01 PLL + 32кГц генератор – конфигурация по умолчанию 10 Зарезервировано 11 Вход XCLK

Таблица 24. Назначение разрядов регистра POWCON

Разряд	Название	Описание
7		Зарезервирован
6–4	PC	Режим работы 000 Нормальный режим 011 Режим Power down. Вывести ADuC702x из этого состояния можно сигналом XIRQ0, XIRQ1, timer2 или timer3. Остальные сочетания: зарезервированы
3	FINT	Бит режима быстрой обработки прерываний. Устанавливается пользователем для обеспечения быстрой обработки прерываний. Если прерывание происходит при установленном бите FINT, процессор будет работать на максимальной частоте при запуске подпрограммы обработки прерывания. После выполнения подпрограммы обработки прерывания (ISR), процессор опять работает на частоте, задаваемой битами CD. Сбрасывается пользователем для отмены режима быстрой обработки прерываний.
2–0	CD	Биты управления делителем частоты, задают частоту работы ядра: 000 45.088 МГц 001 22.544 МГц 010 11.272 МГц 011 5.636 МГц 100 2.818 МГц 101 1.409 МГц 110 704.5 кГц 111 352.2 кГц

# ADuC702x

## ЦИФРОВАЯ ПЕРИФЕРИЯ

### ТРЕХФАЗНЫЙ ШИРОТНО-ИМПУЛЬСНЫЙ МОДУЛЯТОР (ШИМ)

#### Общий обзор

В ИС ADuC702x имеется программируемый, обладающий широкими возможностями трехфазный широтно-импульсный генератор (ШИМ), который может быть запрограммирован на генерацию широтно-импульсных сигналов, необходимых для управления трехфазным инвертором с двигателем переменного тока в качестве нагрузки. ШИМ генератор выдает три пары широтно импульсных сигналов на шести выводах (PWM0H, PWM0L, PWM1H, PWM1L, PWM2H и PWM2L). Эти шесть ШИМ сигналов представляют собой три выхода управления верхними ключами мостовой схемы и три выхода управления нижними ключами мостовой схемы. Частота ШИМ и интервал "dead time" генерируемых ШИМ-сигналов программируется с помощью MMR-регистров PWMDAT0 и PWMDAT1. Кроме того, три регистра управления скважностью (PWMSCH0, PWMSCH1 и PWMSCH2) напрямую управляют скважностью трех пар ШИМ-сигналов. Каждый из шести выходных сигналов может быть разрешен или запрещен с помощью бит разрешения выхода в регистре PWMEN. Три управляющих бита в регистре PWMEN разрешают переключение (crossover) двух сигналов в паре. В режиме переключения сигнал ШИМ, предназначенный для верхнего ключа, подается на комплементарный "нижний" выход, а сигнал предназначенный для нижнего ключа подается на "верхний" выход.

Во многих схемах требуется гальваническая развязка в схеме управления затворами мощных транзисторов инвертора. Существует два основных метода изоляции: это развязка с помощью оптопары и развязка с помощью импульсного трансформатора. ШИМ контроллер позволяет осуществить высокочастотное заполнение ШИМ сигнала для того чтобы упростить применение импульсного трансформатора. Параметры этого высокочастотного сигнала устанавливаются с помощью регистра PWMCFG. 8-разрядное число в регистре PWMCFG напрямую управляет частотой высокочастотного заполнения. Высокочастотное заполнение может быть независимо разрешено для верхнего и нижнего выхода при помощи отдельных управляющих бит регистра PWMCFG. ШИМ генератор может работать в двух режимах: однократного обновления и двукратного обновления. В режиме однократного обновления скважность импульсов может программироваться только один раз за период ШИМ, так что в результате форма сигнала ШИМ симметрична относительно средней точки периода ШИМ. В режиме двукратного обновления второе за период обновление величины скважности ШИМ происходит в средней точке периода ШИМ. В этом режиме возможно сгенерировать асимметричный ШИМ сигнал, такой сигнал производит меньше гармонических искажений в трехфазном инверторе. Такой подход также позволяет системе с замкнутой петлей регулирования быстрее изменять средний

уровень сигнала на обмотках двигателя, т.е. достичь более высокого быстродействия системы регулирования. Рабочий режим блока ШИМ выбирается с помощью управляющих бит в регистре PWMCON. В режиме однократного обновления импульсы PWMSYNC генерируются в начале каждого периода ШИМ. В режиме двукратного обновления еще один импульс генерируется в середине каждого периода ШИМ сигнала.

Блок ШИМ также может выдавать внутренний импульс синхронизации на вывод SYNC синхронно с сигналом ШИМ. В режиме однократного обновления импульс генерируется в начале каждого периода ШИМ. В режиме двукратного обновления дополнительный импульс также генерируется в середине каждого периода ШИМ сигнала. Ширина импульсов программируется посредством регистра PWMDAT2. Блок ШИМ также может принимать внешние импульсы синхронизации на входе SYNC. Выбор внешней или внутренней синхронизации осуществляется при помощи регистра PWMCON. Сигнал на входе SYNC может быть синхронизирован со внутренним тактовым сигналом периферии, которая выбирается с помощью регистра PWMCON. Если внешние импульсы синхронизации асинхронны по отношению ко внутреннему тактирующему сигналу периферии (это типичная ситуация) внешний сигнал SYNC должен быть синхронизирован. Схема синхронизации добавляет некоторую задержку и дрожание фронтов (джиттер) от внешнего источника к сигналу ШИМ. Длительность импульса на входе SYNC должна превышать длительность двух тактов ядра процессора.

Сигналы ШИМ, генерируемые микросхемой ADuC702x, могут быть отключены с помощью специального асинхронного входа отключения PWMTRIP. Этот вход при подаче на него низкого уровня мгновенно переводит все шесть выходов ШИМ в выключенное состояние (высокого уровня). Эта схема отключения работает асинхронно, так что соответствующая схема отключения ШИМ не ждет никакого тактирования, таким образом обеспечивая отключение ШИМ даже при потере тактирования.

Информация о состоянии блока ШИМ доступна через регистр PWMSTA. В частности, доступно состояние вывода PWMTRIP, а также доступен бит состояния, который показывает, во время формирования первой половины или же второй половины периода ШИМ находится ШИМ генератор в данный момент.

#### Описание блока ШИМ

Функциональная схема блока ШИМ показана на рис. 21. Генерация шести выходных ШИМ сигналов на выходах PWM0H...PWM2L управляется с помощью четырех основных блоков:

- Трехфазная схема генерации ШИМ, которая является ядром контроллера ШИМ. Эта схема генерирует три пары комплементарных ШИМ сигналов с интервалом отключения (dead time), выровненных по центру импульса.
- Три блока управления выходом, обеспечивающие перенаправление выходных сигналов каждого канала

трехфазной схемы генерации ШИМ для работы с верхним или нижним ключом инвертора. Кроме того, блок управления выходом обеспечивает индивидуальное отключение любого из шести выходов ШИМ.

- Блок управления ключом обеспечивает генерацию высокочастотного сигнала и его смешивание с сигналом ШИМ (высокочастотное заполнение).
- Контроллер отключения ШИМ управляет отключением ШИМ через вывод PWMTRIP и

генерирует корректный сигнал сброса для схемы генерации ШИМ.

Блок управления импульсом синхронизации ШИМ генерирует внутренний импульс синхронизации, а также контролирует использование внешнего вывода SYNC. ШИМ контроллер тактируется от частоты ядра процессора ADuC702x и может генерировать два прерывания. Одно прерывание генерируется одновременно с импульсом PWMSYNC, другое генерируется при любом отключении ШИМ.

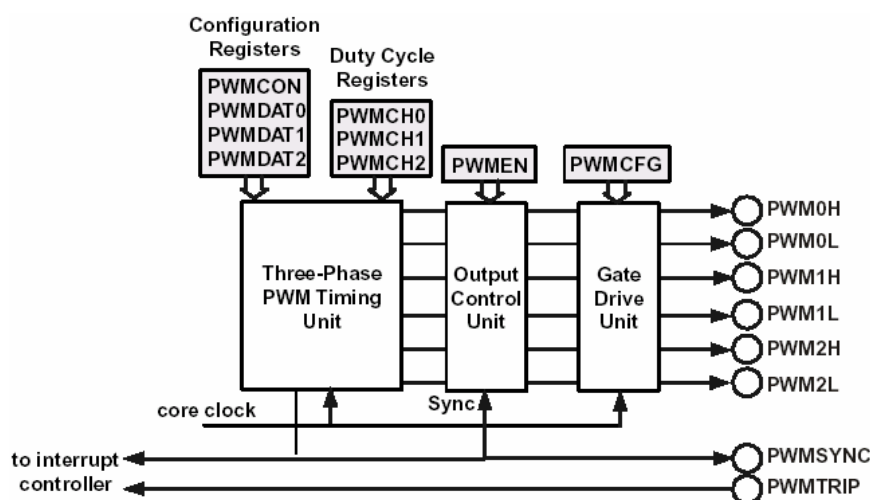


Рис. 21. ШИМ контроллер

## Трехфазный блок генерации сигнала ШИМ

### Частота ШИМ и регистр PWMDAT0

Частота ШИМ управляется с помощью регистра длительности периода PWMDAT0. Базовая длительность импульса для контроллера ШИМ равна  $t_{CORE} = 1/f_{CORE}$ , где  $f_{CORE}$  – частота ядра процессора. Таким образом, при частоте ядра 45 МГц базовая длительность импульса равна 21 нс. Величина, записанная в регистр PWMDAT0 – это число таких периодов за половину периода ШИМ. Требуемая величина для регистра PWMDAT0 является функцией от требуемой частоты ШИМ ( $f_{PWM}$ ) и вычисляется по формуле:

$$PWMDAT0 = f_{CORE} / (2 \times f_{PWM})$$

Таким образом период ШИМ  $T_s$  равен:

$$T_s = 2 \times PWMDAT0 \times t_{CORE}$$

Наибольшая величина, которая может быть записана в 16-разрядный регистр PWMDAT0 – это 0xFFFF = 65535, что соответствует минимальной частоте ШИМ:

$$f_{PWM(min)} = 45 \times 10^6 / (2 \times 65535) = 343.99 \text{ Гц}$$

Обратите внимание, что величина PWMDAT0 не может быть равна 0 или 1.

### Период паузы сигнала ШИМ и регистр PWMDAT1

Еще один важный параметр сигнала ШИМ, который задается при конфигурировании контроллера ШИМ – это время паузы ("dead time"). Это короткий промежуток времени между отключением одного ШИМ сигнала (т.е. АН) и включением комплементарного ему (AL). Эта короткая задержка вводится для того, чтобы силовой ключ успел полностью закрыться (напр. ключ АН) прежде чем откроется противоположный (комплементарный) ключ. За счет паузы предотвращается сквозное прохождение тока через оба ключа, т.к. этот ток может вывести из строя инвертор. Время паузы задается 10-разрядным регистром PWMDAT1. Это единственный регистр, управляющий временем паузы сразу всех трех ШИМ выходов. Время паузы TD зависит от числа, записанного в регистр PWMDAT1 по следующей формуле:

$$TD = PWMDAT1 \cdot 2 \cdot t_{CORE}$$

Таким образом, при  $PWMDAT1 = 0x00A (= 10)$  задержка между двумя комплементарными сигналами будет составлять 426 нс. Длительность паузы таким образом можно увеличить с шагом равным  $2 \cdot t_{CORE}$  (что соответствует 42 нс при частоте ядра 45 МГц). Регистр PWMDAT1 – это 10-разрядный регистр, что соответствует максимальной величине  $0x3FF (= 1023)$ ,

при этом длительность паузы составит:

$$TD(max) = 1023 \cdot 2 \cdot t_{CORE} = 1023 \cdot 2 \cdot 22 \cdot 10^{-9} = 45.37 \text{ мкс}$$

## ADuC702x

для частоты ядра 45 МГц. Длительность паузы можно свести к нулю, если записать 0 в регистр PWMDAT1.

### Режим работы ШИМ, регистры PWMCON и PWMSTA

ШИМ контроллер микросхемы ADuC702x способен работать в двух режимах, однократного обновления и двукратного обновления. Режим работы ШИМ контроллера определяется состоянием разряда 2 регистра PWMCON. Если данный бит сброшен, ШИМ работает в режиме однократного обновления. Если этот бит равен 1, ШИМ контроллер будет работать в режиме двукратного обновления. По умолчанию контроллер работает в режиме однократного обновления. В этом режиме в течение каждого периода ШИМ выдается один импульс PWMSYNC. Восходящий фронт этого сигнала отмечает начало нового цикла ШИМ и используется при передаче нового значения из регистров конфигурации ШИМ (PWMDAT0 и PWMDAT1) и регистров скважности (PWMCH0, PWMCH1 и PWMCH2) в блок генерации импульсов. Кроме того, значение регистра PWMEN передается в блок управления выходом ШИМ по восходящему фронту PWMSYNC. То есть это означает, что характеристики и скважность импульсов ШИМ будут обновляться только один раз за период, в начале каждого цикла. В результате генерируется ШИМ сигнал, форма которого симметрична относительно средней точки.

В режиме двойного обновления в момент средней точки каждого периода ШИМ генерируется дополнительный импульс PWMSYNC. Восходящий фронт импульса PWMSYNC также отмечает загрузку новых значений из регистров конфигурации ШИМ, регистров скважности и регистра PWMEN. В результате становится возможным изменение как частоты и времени паузы, так и скважности выходных сигналов в средней точке каждого цикла ШИМ. Следовательно, возможно генерировать сигнал ШИМ, не симметричный относительно средней точки периода. В режиме двукратного обновления может потребоваться узнать, которая половина цикла генерируется в данный момент. Для этого существует бит 0 регистра PWMSTA, который сбрасывается во время первой половины периода каждого цикла ШИМ (в течение времени между восходящим фронтом первого импульса PWMSYNC и восходящим фронтом второго импульса PWMSYNC, который присутствует только в режиме двойного обновления). Бит 0 регистра PWMSTA устанавливается во время второй половины каждого периода ШИМ. Этот бит состояния позволяет программе обработки прерывания PWMSYNC определить, если нужно, какая половина периода ШИМ генерируется.

Преимущество режима двукратного обновления заключается в меньшем уровне гармоник в сигнале ШИМ, а также более высоком быстродействии управляющего сигнала. Однако при данной частоте ШИМ импульсы PWMSYNC имеют в два раза более высокую частоту в режиме двукратного обновления. Так как новые величины скважности должны быть вычислены каждый раз, когда происходит прерывание PWMSYNC, то в режиме двойного обновления на ядро

процессора ложится большая вычислительная нагрузка.

### Скважность сигнала PWM и регистры PWMCH0, PWMCH1, PWMCH2

Скважность шести выходных ШИМ-сигналов на выходах от АН до CL управляется тремя 16-разрядными регистрами скважности PWMCH0, PWMCH1 и PWMCH2. В регистры скважности загружаются целые величины, соответствующие числу базовых интервалов времени  $t_{CORE}$ , эта величина определяет время включенного состояния верхнего ключа трехфазного ШИМ-генератора за половину периода сигнала ШИМ. Также при генерировании трехфазного ШИМ сигнала формируется пауза (dead time), длительность которой задается значением регистра PWMDAT1. Генератор трехфазного сигнала выдает сигнал с "низким" активным уровнем, т.е. низкий уровень соответствует включению соответствующего силового ключа.

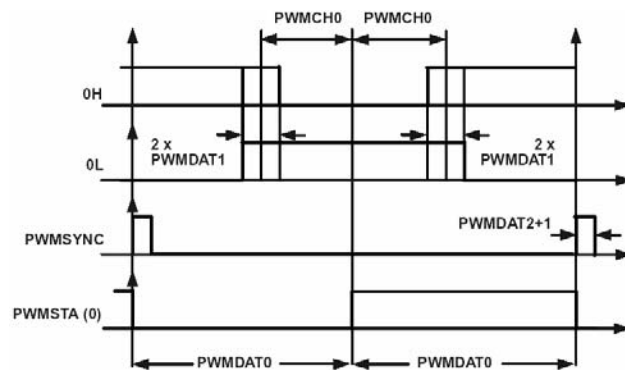


Рис. 22. Сигнал ШИМ в режиме однократного обновления.

Типичный вид сигнала на одной паре выходов ШИМ (в данном случае АН и АL) в режиме однократного обновления показана на рис. 22. Все временные интервалы соответствуют целочисленным величинам, находящимся в соответствующих регистрах; чтобы получить значение интервала времени, нужно это число умножить на базовую длительность импульса  $t_{CORE}$ . Уже отмечалось, что форма импульсов в режиме однократного обновления симметрична относительно средней точки периода ШИМ, так как для определения длительности импульса в обоих полуциклах сигнала используются одни и те же величины PWMCH0, PWMDAT0 и PWMDAT1. Это выглядит, как будто запрограммированные величины длительности импульсов равны, с учетом длительности паузы (dead time). Эта пауза образуется за счет того, что моменты переключения обоих ШИМ сигналов (0H и 0L) отодвигаются от момента, установленного регистром PWMCH0. Оба фронта отодвигаются на одинаковую величину ( $PWMDAT1 \cdot t_{CORE}$ ), что обеспечивает симметричность сигнала.

Также на рисунке показаны сигнал PWMSYNC и состояние разряда 0 регистра PWMSTA, который показывает, первая или вторая половина импульса ШИМ генерируется в данный момент.

В результате время включенного состояния ШИМ сигнала за весь период (за два полупериода) можно записать как:

$$T_{OH} = 2 \cdot (PWMCH0 - PWMDAT1) \cdot t_{CORE}$$

$$T_{OL} = 2 \cdot (PWMDAT0 - PWMCH0 - PWMDAT1) \cdot t_{CORE}$$

И соответствующие относительные длительности импульсов (отношение длительности импульса к периоду сигнала, т.е. величина обратная скважности):

$$d_{OH} = T_{OH} / T_s = (PWMCH0 - PWMDAT1) / PWMDAT0$$

$$d_{OL} = T_{OL} / T_s = (PWMDAT0 - PWMCH0 - PWMDAT1) / PWMDAT0$$

Минимально возможные величины  $T_{OH}$  и  $T_{OL}$  – нулевые, что соответствует относительной длительности импульса 0%. Аналогично, максимальная величина равна  $T_s$ , что соответствует относительной длительности импульса 100%.

Выходной сигнал схемы формирования импульсов в режиме двукратного обновления показан на рис. 23. Эта диаграмма иллюстрирует общий случай, когда частота ШИМ, длительность паузы (dead time) и скважность различаются в первой и во второй половине периода ШИМ. Разумеется, для любого из перечисленных параметров может использоваться и одинаковая величина в обоих полупериодах. Однако видно, что в режиме двукратного обновления нет гарантии, что импульс будет симметричным. Видно, что пауза (dead time) вводится в сигнал ШИМ по такому же принципу, как и в режиме однократного обновления.

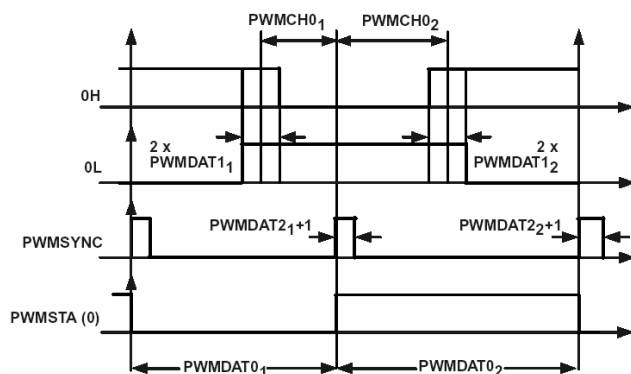


Рис. 23. Сигнал ШИМ в режиме двукратного обновления.

В общем случае при двукратном обновлении длительность импульса ШИМ определяется как:

$$T_{OH} = (PWMCH0_1 + PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) \cdot t_{CORE}$$

$$T_{OL} = (PWMDAT0_1 + PWMDAT0_2 - PWMCH0_1 - PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) \cdot t_{CORE}$$

Здесь индекс 1 относится к первой половине периода ШИМ, индекс 2 относится ко второй половине периода. Соответствующая относительная длительность импульса:

$$d_{OH} = T_{OH} / T_s = (PWMCH0_1 + PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) / (PWMDAT0_1 + PWMDAT0_2)$$

$$d_{OL} = T_{OL} / T_s = (PWMDAT0_1 + PWMDAT0_2 - PWMCH0_1 - PWMCH0_2 - PWMDAT1_1 - PWMDAT1_2) / (PWMDAT0_1 + PWMDAT0_2)$$

так как в наиболее общем случае период сигнала ШИМ равен:

$$T_s = (PWMDAT0_1 + PWMDAT0_2) \cdot t_{CORE}$$

Опять как и в предыдущем случае величины  $T_{OH}$  и  $T_{OL}$  могут принимать значения от 0 до  $T_s$ .

ШИМ сигнал, аналогичный показанному на рис. 22 и 23 может генерироваться на выходах 1H, 1L, 2H и 2L, если запрограммировать регистры PWMCH1 и PWMCH2 аналогично тому, как описано для PWMCH0.

Контроллер ШИМ не генерирует сигнал до тех пор, пока не произведена запись в регистры PWMDAT0, PWMCH0, PWMCH1 и PWMCH2. После того как соответствующие значения записаны в эти регистры, разрешается работа внутреннего таймера формирователя сигнала ШИМ. Запись в регистр PWMDAT0 запускает внутреннее тактирование основного таймера ШИМ-контроллера. Если при инициализации запись в регистр PWMDAT0 произведена до того, как данные записаны в регистры PWMCH0, PWMCH1 и PWMCH2, то первый импульс PWMSYNC и соответствующее прерывание (если оно разрешено) появятся через время  $1.5 \cdot t_{CORE} \cdot PWMDAT0$  после момента записи в регистр PWMDAT0 в режиме однократного обновления. В режиме двукратного обновления первый импульс PWMSYNC появится через время  $PWMDAT0 \cdot t_{CORE}$ .

## Блок управления выходом ШИМ

Работа блока управления выходом ШИМ управляется 9-разрядным регистром PWMEN с возможностью чтения/записи. Этот регистр управляет двумя режимами, применяемыми при управлении двигателями с электронным переключением и безщеточными двигателями постоянного тока (ЕСМ и ВDCM). Регистр PWMEN содержит три разряда управления переключением выхода, один разряд для каждой пары выходов ШИМ. Установление разряда 8 регистра PWMEN разрешает режим переключения на паре выходов 0H/0L, установление разряда 7 регистра PWMEN разрешает режим переключения на паре выходов 1H/1L и установление разряда 6 регистра PWMEN разрешает режим переключения на паре выходов 2H/2L. Если разрешен режим переключения на какой-либо паре выходов, то сигнал "верхнего" ключа (например 0H) будет выдаваться с парного ему "нижнего" выхода, то есть 0L. Разумеется, соответствующий сигнал "нижнего" ключа будет присутствовать на "верхнем" выходе 0H.

После сброса процессора эти три бита находятся во сброшенном состоянии, то есть режим переключения запрещен на всех трех парах выходов. Кроме того, в регистре PWMEN имеется шесть разрядов (0...5), которые предназначены для разрешения/запрещения сигнала на каждом выходе ШИМ отдельно. Если бит установлен, то соответствующий ему выход будет запрещен независимо от состояния регистра скважности. Этот выход будет находиться в выключенном состоянии пока соответствующий бит установлен. Схема разрешения выхода находится после схемы переключения выходов.

После сброса процессора все шесть разрядов разрешения в регистре PWMEN сброшены, так что по

## ADuC702x

умолчанию выходы ШИМ разрешены. По тому же принципу, что и в схеме формирования ШИМ, данные из регистра PWMEN передаются в схему управления выходом по восходящему фронту сигнала PWMSYNC, поэтому изменения величины, записанной в регистр, принимаются только в начале каждого цикла в режиме однократного обновления. В режиме двукратного обновления содержимое регистра PWMEN передаётся в схему управления ещё и в середине каждого цикла. При управлении двигателями ЕСМ (с электронным управлением) одновременно переключаются только две пары выходов инвертора и часто "верхний" ключ в одной паре должен открываться одновременно с "нижним" ключом другой пары. Следовательно, запрограммировав одинаковые длительности импульсов для двух каналов ШИМ (напр., PWMCH0 = PWMCH1) и установив разряд 7 регистра PWMEN с целью переключения выходов 1H/1L пары ШИМ сигналов, мы добиваемся открывания "верхнего" ключа в канале фазы А одновременно с открыванием "нижнего" ключа в канале фазы В. При управлении двигателем ЕСМ обычно третья пара выводов (в нашем примере это канал С) отключается. Это можно осуществить установлением в единичный уровень разрядов 0 и 1 регистра PWMEN. Эта ситуация показана на рис. 24, где видно, что сигналы 0H и 1L идентичны, т.к. PWMCH0 = PWMCH1 и установлен разряд переключения выходов в канале фазы В.

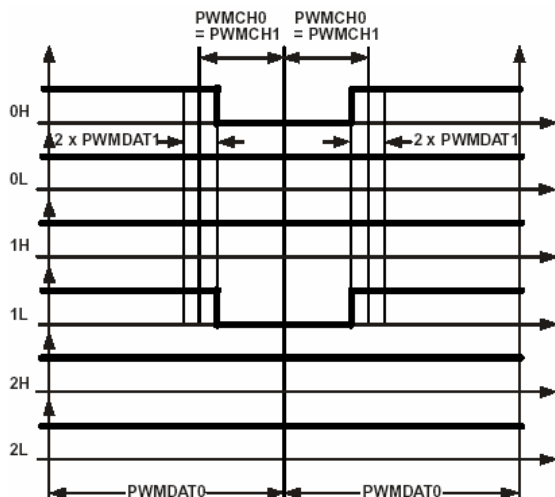


Рис. 24. Пример сигнала ШИМ при управлении двигателем ЕСМ.

Кроме того, оставшиеся четыре сигнала (0L, 1H, 2H и 2L) отключены за счет установки в единичный уровень соответствующих разрядов в регистре PWMEN. Для примера, показанного на рис. 24, значение регистра PWMEN равно 0x00A7. При нормальной работе двигателя ЕСМ каждый вывод инвертора отключается на определенный период времени, так что регистр PWMEN переключается в зависимости от положения ротора двигателя.

### Блок управления ключами

Блок управления ключами ШИМ контроллера имеет дополнительные возможности, позволяющие упростить схему гальванически развязанного управления ключами инвертора. Если используется схема с трансформаторной развязкой, то ШИМ сигнал

должен иметь высокочастотное заполнение. С помощью 10-разрядного регистра PWMCFG можно запрограммировать режим высокочастотного заполнения. Высокочастотное заполнение может потребоваться только для драйвера "верхнего" ключа, или только для "нижнего" драйвера, либо для обоих. Поэтому предусмотрено независимое управление режимом высокочастотного заполнения в регистре PWMCFG отдельно для "верхнего" и для "нижнего" драйвера. Типичный вид ШИМ сигнала с высокочастотным заполнением показан на рис. 25. Высокочастотное заполнение на "верхних" выходах ШИМ (0H, 1H и 2H) включается при помощи разряда 8 регистра PWMCFG. Высокочастотное заполнение на "нижних" выходах ШИМ (0L, 1L и 2L) включается при помощи разряда 9 регистра PWMCFG. Частота ВЧ заполнения контролируется при помощи 8-битного слова (GDCLK), расположенного в разрядах 0...7 регистра PWMCFG. Период ВЧ сигнала равен

$$T_{\text{chop}} = (4 \times (\text{GDCLK} + 1)) \times t_{\text{CORE}}$$

и соответственно частота ВЧ заполнения равна:

$$f_{\text{chop}} = f_{\text{CORE}} / (4 \times (\text{GDCLK} + 1))$$

Значение GDCLK может находиться в диапазоне 0...255, что соответствует частоте ВЧ заполнения от 45.9 кГц до 11.75 МГц при частоте ядра 45 МГц. Режим блока управления ключами должен быть запрограммирован до включения ШИМ контроллера и обычно не изменяется при нормальной работе ШИМ контроллера. После сброса процессора все разряды регистра PWMCFG сброшены, т.е. высокочастотное заполнение по умолчанию отключено.

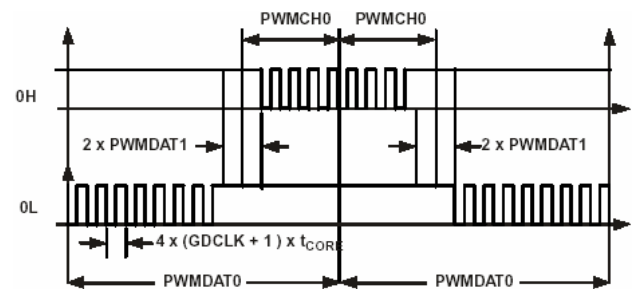


Рис. 25. Высокочастотное заполнение сигнала ШИМ.

### Отключение блока ШИМ

В случае неисправности в системе очень важно мгновенно отключить генератор ШИМ с целью безопасности. Подача сигнала низкого уровня на вход PWMTRIP обеспечивает мгновенное, асинхронное (т.е. не связанное с тактированием процессора) отключение ШИМ контроллера. Все шесть выходов будут переведены в отключенное, т.е. в состояние "высокого" логического уровня. Кроме того импульсы PWMSYNC будут запрещены. На входе PWMTRIP имеется внутренний притягивающий к "земле" резистор, так что если этот вход оказывается отключенным, блок ШИМ отключается. Состояние входа PWMTRIP может быть считано процессором с помощью разряда 3 регистра PWMSTA. При появлении сигнала отключения ШИМ генерируется прерывание PWMTRIP, а внутреннее тактирование блока генерации ШИМ будет остановлено.

После отключения ШИМ генерация может быть снова запущена (например, в подпрограмме обработки

прерывания PWMTRIP) путем программирования всех регистров PWMDAT0, PWMCH0, PWMCH1 и PWMCH2. Если причина сбоя устранена и вход PWMTRIP переведен в высокий логический уровень, внутреннее тактирование генератора ШИМ восстанавливается и новые величины длительности импульсов принимаются блоком генерации со следующим импульсом PWMSYNC.

### Регистры интерфейса ШИМ

Блок ШИМ управляется при помощи следующих 9 регистров:

- **PWMCON**: регистр управления, разрешает ШИМ, управляет частотой ШИМ
- **PWMSTA**: статус ШИМ
- **PWMDAT0**: 16-разр. регистр без знака, программирует период ШИМ
- **PWMDAT1**: 10-разр. регистр без знака, программирует время паузы (dead time)
- **PWMCFG**: управление высокочастотным заполнением
- **PWMCH0,CH1,CH2**: скважность сигналов ШИМ
- **PWMEN**: разрешение выходного сигнала и переключение каналов. См. табл. 28.
- **PWMDAT2**: 10-разр. регистр без знака, программирует ширину импульса синхронизации ШИМ.

# ADuC702x

Таблица 25. Назначение разрядов регистра PWMCON

Разряд	Название	Описание
7–5		<i>Зарезервирован</i>
4	PWM_SYNCSEL	Выбор внешней синхронизации Устанавливается для работы с внешней синхронизацией Сбрасывается для работы с внутренней синхронизацией
3	PWM_EXTSYNC	Выбор внешней синхронизации Устанавливается для синхронной работы при внешней синхронизации Сбрасывается для асинхронной работы
2	PWMDBL	Режим двойного обновления сигнала ШИМ Устанавливается для работы в режиме двойного обновления сигнала ШИМ Сбрасывается для работы в режиме однократного обновления сигнала ШИМ
1	PWM_SYNC_EN	Разрешение синхронизации ШИМ Устанавливается для разрешения синхронизации ШИМ Сбрасывается для запрещения синхронизации ШИМ
0	PWMEN	Разрешение ШИМ Устанавливается для разрешения ШИМ Сбрасывается для запрещения ШИМ

Таблица 26. Назначение разрядов регистра PWMSTA

Разряд	Название	Описание
15–10		<i>Зарезервирован</i>
9	PWMSYNCINT	Бит прерывания от синхронизации ШИМ
8	PWMTRIPINT	Бит прерывания от сигнала отключения ШИМ
3	PWMTRIP	Сигнал на входе PWMTRIP
2–1		<i>Зарезервирован</i>
0	PWMPHASE	Бит-индикатор фазы ШИМ. Устанавливается Микроконвертором во время счета вверх таймера ШИМ (1-я половина периода ШИМ) Сбрасывается Микроконвертором во время счета вниз таймера ШИМ (2-я половина периода ШИМ)

Таблица 27. Назначение разрядов регистра PWMCFG

Разряд	Название	Описание
9	CHOPLO	Бит разрешения высокочастотного заполнения сигнала "нижних" ключей
8	CHOPHI	Бит разрешения высокочастотного заполнения сигнала "верхних" ключей
0–7	GDCLK	Период колебания высокочастотного заполнения (беззнаковое целое)

Таблица 28. Назначение разрядов регистра PWMEN

Разряд	Название	Описание
8	0H0L_XOVR	Бит разрешения переключения выходов канала 0 Устанавливается пользователем в "1" для разрешения переключения выходов канала 0 Сбрасывается пользователем в "0" для запрещения переключения выходов канала 0
7	1H1L_XOVR	Бит разрешения переключения выходов канала 1 Устанавливается пользователем в "1" для разрешения переключения выходов канала 1 Сбрасывается пользователем в "0" для запрещения переключения выходов канала 1
6	2H2L_XOVR	Бит разрешения переключения выходов канала 2 Устанавливается пользователем в "1" для разрешения переключения выходов канала 2 Сбрасывается пользователем в "0" для запрещения переключения выходов канала 2
5	0L_EN	Бит разрешения выхода AL Устанавливается пользователем в "1" для запрещения выхода канала 0L Сбрасывается пользователем в "0" для разрешения выхода канала 0L
4	0H_EN	Бит разрешения выхода AH Устанавливается пользователем в "1" для запрещения выхода канала 0H Сбрасывается пользователем в "0" для разрешения выхода канала 0H
3	1L_EN	Бит разрешения выхода BL Устанавливается пользователем в "1" для запрещения выхода канала 1L Сбрасывается пользователем в "0" для разрешения выхода канала 1L
2	1H_EN	Бит разрешения выхода BH Устанавливается пользователем в "1" для запрещения выхода канала 1H Сбрасывается пользователем в "0" для разрешения выхода канала 1H
1	2L_EN	Бит разрешения выхода CL Устанавливается пользователем в "1" для запрещения выхода канала 2L Сбрасывается пользователем в "0" для разрешения выхода канала 2L
0	2H_EN	Бит разрешения выхода CH Устанавливается пользователем в "1" для запрещения выхода канала 2H Сбрасывается пользователем в "0" для разрешения выхода канала 2H

# ADuC702x

## ВХОДЫ/ВЫХОДЫ ОБЩЕГО НАЗНАЧЕНИЯ

Микроконвертор ADuC702x имеет до 40 двунаправленных входов/выходов общего назначения (GPIO). Все входы/выходы устойчивы ко входному напряжению 5 В, т.е. непосредственно на вход можно подавать напряжение 5 В. Большинство выводов GPIO выполняют сразу несколько функций, см. табл. 30. По умолчанию выводы GPIO работают в режиме GPIO. Все выводы GPIO имеют внутренний "подтягивающий" резистор, при работе на выход выводы GPIO обеспечивают ток до 1.6 мА. 40 выводов GPIO сгруппированы по 5 портам, от 1 до 4. Каждый порт управляется четырьмя регистрами, отображенными в памяти (MMR):

- GPxCON: регистр управления порта x, управляет функцией каждого вывода порта x, см. табл. 29.

- GPxDAT: регистр конфигурации и данных порта x. Конфигурирует направление выводов порта x, устанавливает выходной уровень, если вывод GPIO сконфигурирован на выход, принимает и сохраняет уровень входного сигнала, если вывод GPIO сконфигурирован на вход;

- GPxSET: установить данные порта x;

- GPxCLR: очистить данные порта x.

x обозначает номер порта. См. табл. 6 для определения адресов перечисленных регистров. Значение GPxCON по умолчанию равно 0x00000000, все выводы сконфигурированы как GPIO, за исключением регистра GP0CON, значение которого равно 0x01001000 – для того, чтобы включить функции TRST и MRST после сброса процессора.

**Табл. 29. Назначение разрядов MMR-регистра GPxCON.**

Разряд	Описание
31-30	Зарезервированы
29-28	Выбор функции вывода порта Pх.7
27-26	Зарезервированы
25-24	Выбор функции вывода порта Pх.6
23-22	Зарезервированы
21-20	Выбор функции вывода порта Pх.5
19-18	Зарезервированы
17-16	Выбор функции вывода порта Pх.4
15-14	Зарезервированы
13-12	Выбор функции вывода порта Pх.3
11-10	Зарезервированы
9-8	Выбор функции вывода порта Pх.2
7-6	Зарезервированы
5-4	Выбор функции вывода порта Pх.1
3-2	Зарезервированы
1-0	Выбор функции вывода порта Pх.0

**Табл. 30. Описание функций выводов GPIO**

Порт	Вывод	Конфигурация			
		00	01	10	11
0	P0.0	GPIO	CMP	MS2	PLAI[7]
	P0.1	GPIO	PWM2H	BLE	-
	P0.2	GPIO	PWM2L	BHE	-
	P0.3	GPIO	TRST	A16	ADC <sub>BUSY</sub>
	P0.4	GPIO IRQ0	PWMTRIP	MS1	PLAO[1]
	P0.5	GPIO IRQ1	ADC <sub>BUSY</sub>	MS0	PLAO[2]
	P0.6	GPIO	MRST	AE	PLAO[3]
	P0.7	GPIO	ECLK	SIN	PLAO[4]
1	P1.0	GPIO	SIN	SCL0	PLAI[0]
	P1.1	GPIO	SOUT	SDA0	PLAI[1]
	P1.2	GPIO	RTS	SCL1	PLAI[2]
	P1.3	GPIO	CTS	SDA1	PLAI[3]
	P1.4	GPIO IRQ2	RI	CLK	PLAI[4]
	P1.5	GPIO IRQ3	DCD	MISO	PLAI[5]
	P1.6	GPIO	DSR	MOSI	PLAI[6]
	P1.7	GPIO	DTR	CSL	PLAO[0]
2	P2.0	GPIO	CONVS	SOUT	PLAO[5]
	P2.1	GPIO	PWM0H	WS	PLAO[6]
	P2.2	GPIO	PWM0L	RS	PLAO[7]
	P2.3	GPIO	-	AE	-
	P2.4	GPIO	PWM0H	MS0	-
	P2.5	GPIO	PWM0L	MS1	-
	P2.6	GPIO	PWM1H	MS2	-
	P2.7	GPIO	PWM1L	MS3	-
3	P3.0	GPIO	PWM0H	AD0	PLAI[8]
	P3.1	GPIO	PWM0L	AD1	PLAI[9]
	P3.2	GPIO	PWM1H	AD2	PLAI[10]
	P3.3	GPIO	PWM1L	AD3	PLAI[11]
	P3.4	GPIO	PWM2H	AD4	PLAI[12]
	P3.5	GPIO	PWM2L	AD5	PLAI[13]
	P3.6	GPIO	PWMTRIP	AD6	PLAI[14]
	P3.7	GPIO	PWMSYNC	AD7	PLAI[15]
4	P4.0	GPIO	-	AD8	PLAO[8]
	P4.1	GPIO	-	AD9	PLAO[9]
	P4.2	GPIO	-	AD10	PLAO[10]
	P4.3	GPIO	-	AD11	PLAO[11]
	P4.4	GPIO	-	AD12	PLAO[12]
	P4.5	GPIO	-	AD13	PLAO[13]
	P4.6	GPIO	-	AD14	PLAO[14]
	P4.7	GPIO	-	AD15	PLAO[15]

Таблица 31. Назначение разрядов регистра GPxDAT

Разряд	Описание
31–24	Направление передачи данных Устанавливается пользователем в "1" для конфигурации вывода GPIO в качестве выхода Сбрасывается пользователем в "0" для конфигурации вывода GPIO в качестве входа
23–16	Данные для вывода в порт x
15–8	Отображает состояние выводов порта x, только для чтения
7–0	Данные на входе порта x, только для чтения

Таблица 32. Назначение разрядов регистра GPxSET

Разряд	Описание
31–24	<i>Зарезервированы</i>
23–16	При установлении в "1" устанавливают соответствующие разряды порта. Устанавливают также соответствующий бит в регистре GPxDAT. Сброс этих разрядов в "0" не влияет на выходные данные.
15–0	<i>Зарезервированы</i>

Таблица 33. Назначение разрядов регистра GPxCLR

Разряд	Описание
31–24	<i>Зарезервированы</i>
23–16	При установлении в "1" сбрасывают соответствующие разряды порта. Сбрасывают также соответствующий бит в регистре GPxDAT. Сброс этих разрядов в "0" не влияет на выходные данные.
15–0	<i>Зарезервированы</i>

# ADuC702x

## МУЛЬТИПЛЕКСОР ПОСЛЕДОВАТЕЛЬНОГО ПОРТА (SPM)

Мультиплексор последовательного порта переключает периферийные последовательные интерфейсы (два порта I2C, SPI, UART) и программируемую логическую матрицу (PLA) на набор выводов GPIO. Каждый вывод должен быть сконфигурирован для выполнения одной из специальных функций, как описано в табл. 34.

	GPIO	UART	UART/I <sup>2</sup> C/SPI	PLA
	00	01	10	11
SPM0	P1.0	SIN	I2C0SCL	PLAI[0]
SPM1	P1.1	SOUT	I2C0SDA	PLAI[1]
SPM2	P1.2	RTS	I2C1SCL	PLAI[2]
SPM3	P1.3	CTS	I2C1SDA	PLAI[3]
SPM4	P1.4	RI	SPICLK	PLAI[4]
SPM5	P1.5	DCD	SPIMISO	PLAI[5]
SPM6	P1.6	DSR	SPIMOSI	PLAI[6]
SPM7	P1.7	DTR	SPICSL	PLAO[0]
SPM8	P0.7	ECLK	SIN	PLAO[4]
SPM9	P2.0	CONV	SOUT	PLAO[5]

Табл. 34. Конфигурация мультиплексора последовательного порта.

В таблице 34 описан режим каждого вывода SPMUX GPIO. Конфигурация производится через регистры MMR GP0CON, GP1CON и GP2CON. По умолчанию эти 10 выводов сконфигурированы как GPIO.

## ПОСЛЕДОВАТЕЛЬНЫЙ ИНТЕРФЕЙС UART

Интерфейс UART – это полнодуплексный универсальный асинхронный приемопередатчик, полностью совместимый со стандартом 16450. Интерфейс UART производит преобразование из последовательной в параллельную форму данных, принятых от периферийного устройства или из модема, и преобразование из параллельной в последовательную форму данных, поступивших от процессора. В состав блока UART входит делитель частоты для генерации тактовых импульсов; имеется режим сетевой адресации. Интерфейс UART задействует 10 выводов процессора ADuC702x.

Pin	Signal	Description
SPM0 (mode 1)	RTS	Request To Send
SPM1 (mode 1)	CTS	Clear To Send
SPM2 (mode 1)	SIN	Serial Receive Data
SPM3 (mode 1)	SOUT	Serial Transmit Data
SPM4 (mode 1)	RI	Ring Indicator
SPM5 (mode 1)	DCD	Data Carrier Detect
SPM6 (mode 1)	DSR	Data Set Ready
SPM7 (mode 1)	DTR	Data Terminal Ready
SPM8 (mode 2)	SIN	Serial Receive Data
SPM9 (mode 2)	SOUT	Serial Transmit Data

Табл. 35. Сигналы интерфейса UART.

При передаче по последовательному интерфейсу используется асинхронный протокол, который поддерживает различную длину данных, стоповые биты и режимы генерации бита четности, выбираемые с помощью конфигурационного регистра.

## Скорость передачи данных

Существует два способа генерации соответствующей скорости передачи данных:

- Нормальная генерация передачи данных 450 UART:

Скорость передачи данных тактируется частотой, полученной от деления частоты ядра с использованием величин, записанных в регистры COMDIV0 и COMDIV1 (16-разрядное число DL):

$$\text{Скорость передачи данных} = 45.088 \text{ МГц} / (2^{\text{CD}} \cdot 16 \cdot 2 \cdot \text{DL})$$

В таблице приведены некоторые стандартные величины скорости передачи и соответствующие параметры:

Baudrate	CD	DL	Actual baudrate	% error
9600	0	92h	9651	0.53%
19200	0	49h	19301	0.53%
115200	0	0Ch	117417	1.92%
9600	3	12h	9785	1.92%
19200	3	9h	19569	1.92%
115200	3	1h	88062	23.55%

Табл. 36. Нормальная генерация частоты передачи данных.

- С помощью делителя частоты.

Делитель частоты с дробным коэффициентом деления в сочетании с нормальным генератором тактовых импульсов передачи данных позволяет генерировать более широкий диапазон частот тактирования с меньшей погрешностью.

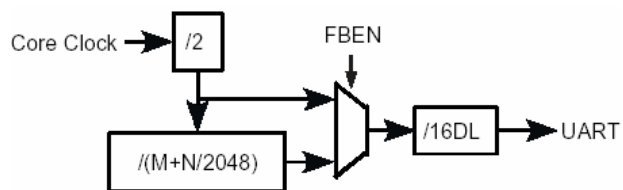


Рис. 26. Схема генерации частоты передачи данных.

Скорость передачи данных определяется как:

$$\begin{aligned} \text{Скорость передачи данных} &= \frac{45.088 \text{ МГц}}{2^{\text{CD}} \cdot 16 \cdot \text{DL} \cdot 2 \cdot (M + N/2048)} \\ M + N/2048 &= \frac{45.088 \text{ МГц}}{\text{Скорость передачи данных} \cdot 2^{\text{CD}} \cdot 16 \cdot \text{DL} \cdot 2} \end{aligned}$$

Пример:

Необходимо получить скорость 9600 бод при CD = 3. Тогда по таблице находим DL = 12h.

$$M + N/2048 = 45.088 \text{ МГц} / (9600 \cdot 2^3 \cdot 16 \cdot 18 \cdot 2) = 1.019$$

Тогда  $M = 1$  и  $N = 0.019 \cdot 2048 = 39$

Пересчитываем значение скорости:

*Скорость передачи данных* =  
 $45.088 \text{ МГц} / (2^3 \cdot 16 \cdot 18 \cdot 2 \cdot (1 + 39/2048)) = 9602$

Таким образом, погрешность составляет 0.02%, что значительно меньше, чем 1.96% при обычной генерации.

## Регистры UART

Интерфейс UART организован с помощью 12 регистров:

- COMTX: 8-разрядный регистр передачи
- COMRX: 8-разрядный регистр приема
- COMDIV0: младший байт делителя

COMTX, COMRX и COMDIV0 имеют общий адрес. Доступ к COMTX и COMRX осуществляется, когда

разряд 7 регистра COMCON0 сброшен в 0. Доступ к COMDIV0 осуществляется когда разряд 7 регистра COMCON0 установлен в 1.

- COMDIV1: старший байт делителя
- COMCON0: регистр управления линией
- COMSTA0: регистр состояния линии
- COMIEN0: регистр разрешения прерывания
- COMIID0: регистр идентификации прерывания
- COMCON1: регистр управления модемом
- COMSTA1: регистр состояния модема
- COMDIV2: 16-разрядный регистр дробного делителя
- COMSCR: 8-разрядный регистр временного хранения. Также применяется в сетевом режиме с адресацией.

Таблица 37. Назначение разрядов регистра COMCON0

Разряд	Название	Описание
7	DLAB	Доступ к регистру делителя. Устанавливается пользователем для доступа к регистрам COMDIV0 и COMDIV1 Сбрасывается пользователем для запрета доступа к регистрам COMDIV0 и COMDIV1 и разрешения доступа к регистрам COMRX и COMTX.
6	BRK	Установить прерывание передачи. Устанавливается пользователем для перевода выхода SOUT в "0" При нормальной работе сбрасывается
5	SP	Установить бит четности Устанавливается пользователем для перевода четности в заданное состояние: "1", если EPS = 1 и PEN = 1 "0", если EPS = 0 и PEN = 1
4	EPS	Режим индикации четности. Устанавливается для индикации четного состояния битом четности. Сбрасывается для индикации нечетного состояния битом четности.
3	PEN	Бит разрешения проверки четности: Устанавливается пользователем для передачи и проверки бита четности Сбрасывается пользователем для отмены передачи и проверки бита четности
2	STOP	Стоп-бит Устанавливается пользователем для передачи 1.5 стоп-бита при длине слова 5 или 2 стоп-бита при длине слова 6, 7 или 8 бит. Приемник проверяет только первый стоп-бит независимо от их числа. Сбрасывается пользователем для генерации 1 стоп-бита при передаче данных.
1-0	WLS	Выбор длины слова: 00 = 5 бит 01 = 6 бит 10 = 7 бит 11 = 8 бит

# ADuC702x

Таблица 38. Назначение разрядов регистра COMSTA0

Разряд	Название	Описание
7		<i>Зарезервирован</i>
6	TEMT	Показывает, что регистр COMTX пуст Устанавливается автоматически, если COMTX пуст Сбрасывается автоматически при записи в регистр COMTX
5	THRE	Показывает, что регистры COMTX и COMRX пусты Устанавливается автоматически, если COMTX и COMRX пусты Сбрасывается автоматически, если один из регистров принял данные
4	BI	Ошибка прерывания передачи Устанавливается, если SIN удерживается в низком состоянии дольше, чем длится передача слова максимальной длины Сбрасывается автоматически
3	FE	Ошибка кадра Устанавливается при неправильном стоп-бите Сбрасывается автоматически
2	PE	Ошибка четности Устанавливается, если была ошибка четности Сбрасывается автоматически
1	OE	Ошибка перезаписи данных Устанавливается автоматически если записываются новые данные, когда не считаны старые Сбрасывается автоматически
0	DR	Данные готовы Устанавливается автоматически, если COMRX заполнен Сбрасывается автоматически при чтении COMRX

Таблица 39. Назначение разрядов регистра COMIEN0

Разряд	Название	Описание
7-4		<i>Зарезервированы</i>
3	EDSSI	Бит разрешения прерывания от состояния модема Устанавливается пользователем для разрешения генерации прерывания, если какой-либо из разрядов COMSTA1[3:0] установлен Сбрасывается пользователем
2	ELSI	Бит разрешения прерывания от состояния RX Устанавливается пользователем для разрешения генерации прерывания, если какой-либо из разрядов COMSTA0[3:0] установлен Сбрасывается пользователем
1	ETBEI	Бит разрешения прерывания при пустом буфере передачи Устанавливается пользователем для разрешения генерации прерывания, если буфер опустел Сбрасывается пользователем
0	ERBFI	Бит разрешения прерывания при полном буфере приема Устанавливается пользователем для разрешения генерации прерывания, если буфер заполнился при приеме Сбрасывается пользователем

Таблица 40. Назначение разрядов регистра COMIID0

Разряды 2-1, разряды состояния	Бит 0 NINT	Приоритет	Определение	Процедура сброса
00	1		Нет прерывания	
11	0	1	Прерывание по состоянию линии према	При чтении COMSTA0
10	0	2	Прерывание при полном буфере приема	При чтении COMRX
01	0	3	Прерывание при пустом буфере передачи	При записи в COMTX или чтении COMIID0
00	0	4	Прерывание от состояния модема	При чтении COMSTA1

Таблица 41. Назначение разрядов регистра COMCON1

Разряд	Название	Описание
7–5		<i>Зарезервированы</i>
4	LOOPBACK	Обратная связь. Устанавливается пользователем для разрешения работы в режиме с обратной связью. При этом SOUT находится в "высоком" состоянии. Кроме того, сигналы модема напрямую передаются на входы состояния (RTS на CTS, DTR на DSR, OUT1 на RI и OUT2 на DCD)
1	RTS	Запрос на передачу Устанавливается пользователем для перевода выхода RTS в "0" Сбрасывается пользователем для перевода выхода RTS в "1"
0	DTR	Терминал данных готов Устанавливается пользователем для перевода выхода DTR в "0" Сбрасывается пользователем для перевода выхода DTR в "1"

Таблица 42. Назначение разрядов регистра COMSTA1

Разряд	Название	Описание
7	DCD	Обнаружение несущей данных
6	RI	Индикатор звонка
5	DSR	Данные готовы
4	CTS	Очищено для передачи
3	DDCD	Дельта DCD Устанавливается автоматически, если состояние DCD изменилось после последнего считывания COMSTA1 Сбрасывается автоматически при чтении COMSTA1
2	TERI	Фронт RI Устанавливается, если NRI изменил состояние с "0" в "1" после последнего считывания COMSTA1 Сбрасывается автоматически при чтении COMSTA1
1	DDSR	Дельта DSR Устанавливается автоматически, если состояние DSR изменилось после последнего считывания COMSTA1 Сбрасывается автоматически при чтении COMSTA1
0	DCTS	Дельта CTS Устанавливается автоматически, если состояние CTS изменилось после последнего считывания COMSTA1 Сбрасывается автоматически при чтении COMSTA1

Таблица 43. Назначение разрядов регистра COMDIV2

Разряд	Название	Описание
15	FBEN	Бит разрешения работы генератора с дробным делителем Устанавливается пользователем для разрешения работы генератора с дробным делителем Сбрасывается пользователем, если необходима генерация стандартной частоты 450 UART
14–13		<i>Зарезервированы</i>
12–11	FBM[1]	M. если FBM = 0, M = 4
10–0	FBN[10]	N

# ADuC702x

## Сетевой режим UART с адресацией

Данный режим позволяет подключить Микроконвертор к 256-узловой последовательной сети либо в качестве аппаратного в режиме с одним ведущим (single-master) или с помощью программного обеспечения в сеть со многими ведущими (multi-master network). Разряд 7 (ENAM) регистра COMIEN1 должен быть установлен для разрешения работы UART в режиме сети с адресацией. Обратите внимание, что в этом режиме нет проверки четности, бит четности используется для адресации.

## Регистры для организации сети UART с адресацией

Три дополнительных регистра:

- COMSCR: 8-битный регистр для промежуточного временного хранения.

В режиме сети с адресацией младший разряд регистра COMSCR является битом контроля передачи адреса. Если он установлен в 1, устройство передает адрес. Если сброшен, устройство передает данные.

- COMIEN1: 8-разрядный регистр разрешения сети.

- COMIID1: 8-разрядный регистр сетевого прерывания. Разряды 7...4 зарезервированы, см. табл. 45.

- COMADR: 8-разрядный с возможностью чтения/записи регистр сетевого адреса. Содержит адрес устройства UART. При приеме данного адреса устройство UART генерирует прерывание процессора и/или устанавливает соответствующий бит состояния в регистре COMIID1.

Регистры COMIEN1, COMIID1 и COMADR применяются только при работе в режиме сети UART с адресацией.

Таблица 44. Назначение разрядов регистра REMAP

Разряд	Название	Описание
7	ENAM	Бит разрешения режима сетевой адресации Устанавливается пользователем для разрешения режима сетевой адресации Сбрасывается для отмены режима сетевой адресации
6	E9BT	Бит разрешения 9-битной передачи Устанавливается пользователем для разрешения 9-битной передачи. ENAM должен быть установлен. Сбрасывается для отмены режима 9-битной передачи
5	E9BR	Бит разрешения 9-битного приема Устанавливается пользователем для разрешения 9-битного приема. ENAM должен быть установлен. Сбрасывается для отмены режима 9-битного приема
4	ENI	Бит разрешения прерывания от сети
3	E9BD	Длина слова Устанавливается при 9-битных данных. E9BT должен быть сброшен. Сбрасывается при 8-битных данных
2	ETD	Бит разрешения драйвера вывода передачи Устанавливается пользователем для разрешения работы вывода SOUT на выход в режиме "ведомого" (slave) или в режиме многих ведущих (multi master) Сбрасывается пользователем, SOUT переводится в высокоимпедансное состояние
1	NABP	Бит сетевого адреса, бит полярности прерывания
0	NAB	Бит сетевого адреса Устанавливается пользователем для передачи адреса "ведомого" устройства. Сбрасывается пользователем при передаче данных

Таблица 45. Назначение разрядов регистра COMIID1

Разряды 3-1, разряды состояния	Бит 0 NINT	Приоритет	Определение	Процедура сброса
000	1		Нет прерывания	
110	0	2	Сетевой адрес совпадает	Считывание COMRX
101	0	3	Адрес передан, буфер пуст	Запись данных в COMTX или считывание COMIID0
011	0	1	Прерывание состояния линии приема	Считывание COMSTA0
010	0	2	Прерывание по заполнению буфера приема	Считывание COMRX
001	0	3	Прерывание, опустел буфер передачи	Запись данных в COMTX или считывание COMIID0
000	0	4	Прерывание состояния модема	Считывание COMSTA1

## ПОСЛЕДОВАТЕЛЬНЫЙ ПЕРИФЕРИЙНЫЙ ИНТЕРФЕЙС (SPI)

В микроконвертере ADuC702x имеется полностью аппаратный интерфейс SPI. SPI является стандартным в промышленности синхронным последовательным интерфейсом, который позволяет одновременно синхронно передавать и принимать 8-битные данные, т.е. обеспечивать полнодуплексный режим со скоростью передачи до 5.6 Мбит в секунду. Порт SPI может быть сконфигурирован для работы в режиме ведущего и ведомого (master/slave) и обычно состоит из четырех линий:

### **MISO (Master In, Slave Out – линия ввода/вывода данных ведущая при приеме, ведомая при передаче)**

Вывод MISO сконфигурирован как вход в режиме ведущего (master) и как выход в режиме ведомого (slave). Линия MISO в режиме master (вывод данных) должна быть подключена к линии MISO устройства, работающего в режиме slave (вывод данных). Данные передаются побайтно, старший бит сначала.

### **MOSI (Master Out, Slave In – ведущая при передаче, ведомая при приеме)**

Вывод MOSI сконфигурирован как выход в режиме ведущего (master) и как вход в режиме ведомого (slave). Линия MOSI в режиме master (вывод данных) должна быть подключена к линии MOSI устройства, работающего в режиме slave (вывод данных). Данные передаются побайтно, старший бит сначала.

### **SCL (Вывод тактирования)**

Вывод SCL используется для синхронизации данных, передаваемых и принимаемых через вывод MOSI. Таким образом, один байт передается или принимается за 8 периодов сигнала SCL. Вывод SCL сконфигурирован как выход в режиме master и как вход в режиме slave. В режиме master полярность и

фаза тактовых импульсов управляются с помощью регистра SPICON, а скорость передачи определяется значением регистра SPIDIV в соответствии со следующей формулой:

$$f_{\text{тактирования SCL}} = f_{\text{ядра}} / (2 \cdot (1 + \text{SPIDIV}))$$

Максимальная частота тактирования последовательного порта составляет  $1/8$  от тактовой частоты ядра, что при частоте тактирования ядра 45 МГц составляет около 5.6 МГц.

В режиме slave регистр SPICON должен быть сконфигурирован в соответствии с ожидаемой фазой и полярностью внешнего тактового сигнала. Как в режиме master, так и в режиме slave данные передаются по одному фронту тактового сигнала, а принимаются по другому. Следовательно, важно, чтобы полярность и фаза в устройствах master и slave были сконфигурированы аналогичным образом.

### **Вход выбор кристалла Chip Select (CS)**

В режиме SPI slave передача данных начинается с подачи сигнала CS; активный уровень данного сигнала – низкий. Затем порт SPI может передавать и принимать 8-битные данные до тех пор, пока обмен данными не будет завершен со снятием сигнала CS. В режиме slave вывод CS всегда является входом.

### **Регистры интерфейса SPI**

Для управления интерфейсом SPI предназначены следующие регистры:

- SPICON: 16-разрядный регистр управления
- SPISTA: 8-разрядный регистр состояния (только для чтения)
- SPIDIV: 8-разрядный регистр делителя тактовой частоты
- SPITX: 8-разрядный регистр передачи (только для записи)
- SPIRX: 8-разрядный регистр приема (только для чтения)

Таблица 46. Назначение разрядов регистра SPICON

Разряд	Описание
15-13	<i>Зарезервированы</i>
12	Разрешение непрерывной передачи Устанавливается пользователем для разрешения непрерывной передачи. В режиме "ведущего" передача будет продолжаться, пока достоверные данные имеются в регистре TX. CS будет оставаться активен в течение каждой 8-разрядной передачи пока TX не опустеет Сбрасывается пользователем для отмены режима непрерывной передачи. Каждая передача состоит из одной 8-битной передачи. Если достоверные данные имеются в регистре SPITX, новая передача начинается после периода ожидания.
11	Обратная связь разрешена Устанавливается пользователем для соединения MISO и MOSI и тестирования программного обеспечения. Сбрасывается пользователем для работы в нормальном режиме
10	Разрешение работы на выход в режиме "ведомого" Устанавливается пользователем для разрешения работы на выход в режиме "ведомого"

## ADuC702x

	Сбрасывается пользователем для запрещения работы на выход в режиме "ведомого"
9	Разрешение входа при работе в режиме "ведомого" Устанавливается пользователем в режиме "ведущего" для разрешения выхода
8	Разрешена перезапись регистра SPIRX Устанавливается пользователем, в таком случае данные в регистре RX замещаются новыми принятыми данными Сбрасывается пользователем, в таком случае вновь принятые данные отбрасываются
7	Режим передачи предыдущих данных SPITX Устанавливается пользователем, в таком случае передаются предыдущие данные Сбрасывается пользователем, в таком случае передается 0
6	Режим передачи и прерывания (режим "ведущего") Устанавливается пользователем для начала режима передачи с записью в регистр SPITX. Прерывание будет вырабатываться, когда TX опустеет. Сбрасывается пользователем для того, чтобы начинать передачу при чтении регистра COMRX. Тогда прерывание будет происходить в случае заполнения RX
5	Бит разрешения передачи начиная с младшего разряда (LSB) Устанавливается пользователем, в таком случае первым передается LSB Сбрасывается пользователем, в таком случае первым передается LSB
4	<i>Зарезервировано</i>
3	Бит установки режима полярности тактирования порта Устанавливается пользователем, тогда высокий логический уровень сигнала будет соответствовать состоянию простоя (idle) Сбрасывается пользователем, тогда низкий логический уровень сигнала будет соответствовать состоянию простоя (idle)
2	Бит установки режима фазы тактовых импульсов порта Устанавливается пользователем, в таком случае тактовый импульс появляется в начале каждого передаваемого бита Сбрасывается пользователем, в таком случае тактовый импульс появляется в конце каждого передаваемого бита
1	Бит разрешения режима "ведущего" (master) Устанавливается пользователем для активации режима "ведущего" Сбрасывается пользователем для отключения режима "ведущего"
0	Бит разрешения SPI Устанавливается пользователем для активации SPI Сбрасывается пользователем для отключения SPI

**Таблица 47. Назначение разрядов регистра SPISTA**

Разряд	Описание
7–6	<i>Зарезервировано</i>
5	Бит состояния переполнения регистра данных SPIRX Устанавливается в случае переполнения SPIRX Сбрасывается при чтении регистра SPIRX
4	Бит прерывания регистра данных SPIRX Устанавливается автоматически если разряд 3 или 5 Сбрасывается при чтении регистра SPIRX
3	Бит состояния заполненности регистра данных SPIRX Устанавливается автоматически если достоверные данные имеются в регистре SPIRX Сбрасывается при чтении регистра SPIRX
2	Бит состояния недополнения регистра данных SPIRX Устанавливается автоматически, если имеется недополнение регистра SPITX Сбрасывается при записи в регистр SPITX
1	Бит прерывания регистра данных SPITX Устанавливается автоматически, если бит 0 сброшен, или бит 2 установлен Сбрасывается при записи в регистр SPITX или при запрещении работы интерфейса SPI
0	Бит, показывающий, что регистр SPITX пуст Устанавливается при записи в регистр SPITX передаваемых данных. Данный бит устанавливается при передаче данных. Сбрасывается, если регистр SPITX пуст.

## ИНТЕРФЕЙСЫ I2C

В Микроконверторах ADuC702x имеется два полностью лицензионных\* интерфейса I2C. Оба интерфейса – полностью аппаратные, поддерживают режимы ведущего (master) и ведомого (slave). Эти два интерфейса – полностью идентичны, поэтому ограничимся детальным описанием только интерфейса I2C0. Два вывода, которые используются для обмена данными – SDA и SCL – сконфигурированы для организации проводного И, что обеспечивает арбитраж в системе с несколькими ведущими (multi-master). Адреса периферийных устройств (ID) в системе с шиной I2C программируются пользователем. Адрес ID может быть модифицирован в любое время, пока не происходит обмен данными. Пользователь может сконфигурировать интерфейс для обслуживания до 4 ведомых адресов.

Последовательность обмена данными в системе I2C начинается с генерации ведущим устройством сигнала START, когда шина не занята. Ведущее устройство (master) передает адрес ведомого устройства (slave) и сигнал направления передачи данных. Если ведущее устройство (master) не теряет управление шиной и ведомое (slave) отвечает, то процесс передачи данных инициирован. Передача данных продолжается, пока ведущее устройство (master) не генерирует сигнал STOP и затем шина освобождается. Периферийные устройства независимы и могут работать одновременно. Ведомое (slave) активируется, когда обмен данными инициирован на шине. Если ведомое устройство не получает своего адреса, оно остается неактивным до следующей инициации обмена данными. Это также позволяет ведущему устройству, которое потеряло арбитраж, отвечать в качестве ведомого (slave) в том же самом цикле.

### Генерация импульсов тактирования

Ведущее I2C устройство (master) в системе генерирует тактовые импульсы для передачи данных. Канал может быть сконфигурирован для работы в быстром режиме (400 кГц) или в стандартном режиме (100 кГц). Скорость передачи определяется значением MMR-регистров I2C0DIVH и I2C0DIVL следующим образом:

$$f_{\text{тактирования I2C}} = f_{\text{ядра}} / (2 \cdot (2 + I2C0DIVH + I2C0DIVL))$$

Таблица 48. Назначение разрядов регистра I2C0CFG

Разряд	Описание
7	Бит разрешения тактирования в режиме "ведущего" Устанавливается пользователем для разрешения генерации тактовых импульсов в режиме "ведущего" Сбрасывается пользователем для запрещения генерации тактовых импульсов в режиме "ведущего"
6	Бит разрешения обратной связи Устанавливается пользователем для внутреннего соединения передатчика и приемника, для тестирования программного обеспечения Сбрасывается пользователем для работы в нормальном режиме
5	Бит запрещения ожидания ответа на сигнал START Устанавливается пользователем в режиме со многими ведущими. При потере арбитража master будет пытаться сразу же повторно передать данные Сбрасывается пользователем для разрешения ожидания ответа на сигнал START. Master при потере арбитража будет ожидать, прежде чем снова

### Адреса ведомых устройств (slave)

В регистрах I2C0ID0, I2C0ID1, I2C0ID2 и I2C0ID3 содержатся идентификаторы устройств. Устройство сравнивает содержимое четырех регистров I2C0IDx со значением байта адреса. Для корректного распознавания адреса 7 старших бит какого-либо из ID-регистров должны совпадать с 7 старшими битами принятого адресного байта. Младший бит ID-регистра содержит флаг направления и игнорируется в процессе распознавания адреса.

### Описание регистров I2C

Программный интерфейс I2C состоит из 17 8-разрядных MMR-регистров.

- I2C0CFG: регистр конфигурации, см. табл. 48
- I2C0DIVH, I2C0DIVL: регистры делителя тактовой частоты;
- I2C0SRX, I2C0STX и I2C0SSTA: соответственно регистры приема, передачи и состояния ведомого канала (slave). Регистр I2C0SSTA – см. табл. 49.
- I2C0ID0, I2C0ID1, I2C0ID2 и I2C0ID3: регистры адресов ведомых устройств;
- I2C0MRX, I2C0MTX и I2C0MSTA: соответственно регистры приема, передачи и состояния ведущего канала. Регистр I2C0MSTA – см. табл. 50.
- I2C0CNT: Регистр подсчета принятых данных. Если ведущим устройством начато последовательное чтение данных, регистр I2C0CNT будет содержать число байт, принятых от ведомого устройства.
- I2C0ADR: регистр байта адреса ведущего устройства. Значение I2C0ADR представляет собой адрес устройства, с которым ведущее устройство (master) намерено установить связь, этот адрес будет передан автоматически в начале передачи данных, если в регистре I2C0MTX отсутствуют достоверные данные при установке флага разрешения ведущего устройства.
- I2C0ALT: регистр адреса аппаратного общего вызова, используется в режиме slave.

## ADuC702x

	передавать данные
4	Разрешение аппаратного общего вызова (бит 3 должен быть установлен) Устанавливается пользователем для разрешения аппаратного общего вызова Сбрасывается пользователем для запрещения аппаратного общего вызова
3	Разрешение общего вызова Устанавливается пользователем для обращения ко всем устройствам на шине I2C Сбрасывается пользователем для работы в обычном режиме
2	<i>Зарезервировано</i>
1	Бит разрешения канала master Устанавливается пользователем для разрешения работы канала I2C в режиме master Сбрасывается пользователем для запрещения работы канала I2C в режиме master
0	Бит разрешения канала slave Устанавливается пользователем для разрешения работы канала I2C в режиме slave. Передаваемая slave последовательность будет отслеживаться на содержание в ней адреса хранящегося в регистрах I2C0ID0, I2C0ID1, I2C0ID2 и I2C0ID3. Если обнаруживается адрес устройства, это устройство будет участвовать в передаче данных в режиме slave. Сбрасывается пользователем для запрещения работы канала I2C в режиме slave.

Таблица 49. Назначение разрядов регистра I2C0SSTA (режим slave)

Разряд	Описание
7	Передача данных из буфера FIFO Устанавливается пользователем для того чтобы выгрузить буфер FIFO Сбрасывается пользователем для работы в обычном режиме
6	Канал slave занят Устанавливается автоматически, если канал slave занят Сбрасывается автоматически
5	Нет сигнала ACK Устанавливается если master запрашивает данные, но данные не доступны Сбрасывается автоматически
4	Буфер FIFO приема данных переполнен Устанавливается автоматически, если буфер FIFO приема данных slave переполнен Сбрасывается автоматически при чтении регистра I2C0SRX
3	Запрос на прерывание в связи с приемом данных slave Устанавливается после приема данных Сбрасывается автоматически при чтении регистра I2C0SRX
2	Запрос на прерывание в связи с передачей данных slave Устанавливается по окончании передачи Сбрасывается автоматически при записи в регистр I2C0STX
1	Буфер FIFO передачи данных недополнен Устанавливается автоматически в случае недополнения буфера передачи данных FIFO Сбрасывается автоматически при записи в регистр I2C0STX
0	Буфер FIFO передачи данных пуст Устанавливается автоматически, если буфер FIFO передачи данных пуст Сбрасывается автоматически при записи в регистр I2C0STX

Таблица 50. Назначение разрядов регистра I2C0MSTA (режим master)

Разряд	Описание
7	Передача данных из буфера FIFO Устанавливается пользователем для того чтобы выгрузить буфер FIFO Сбрасывается пользователем для работы в обычном режиме
6	Канал master занят Устанавливается автоматически, если канал master занят Сбрасывается автоматически
5	Потеря арбитража Устанавливается в режиме со многими ведущими (multi-master), если другое устройство стало ведущим (master) Сбрасывается, если шина доступна

4	Нет сигнала ACK Устанавливается если приемный буфер FIFO ведущего (master) переполнен, master не подтверждает прием данных Сбрасывается автоматически
3	Буфер FIFO приема данных master переполнен Устанавливается автоматически, если буфер FIFO приема данных master переполнен Сбрасывается автоматически при чтении регистра I2C0MRX
2	Запрос на прерывание в связи с приемом данных master Устанавливается после приема данных Сбрасывается автоматически при чтении регистра I2C0MRX
1	Запрос на прерывание в связи с передачей данных master Устанавливается по окончании передачи Сбрасывается автоматически при записи в регистр I2C0MTX
0	Буфер FIFO передачи данных master пуст Устанавливается автоматически, если буфер FIFO передачи данных master пуст Сбрасывается автоматически при записи в регистр I2C0MTX

# ADuC702x

## ПРОГРАММИРУЕМАЯ ЛОГИЧЕСКАЯ МАТРИЦА

В ИС ADuC702x имеется программируемая логическая матрица (PLA), которая состоит из двух независимых блоков PLA. Каждый блок состоит из восьми элементов PLA, что дает в сумме 16 элементов PLA. Элемент PLA содержит двухвходовую таблицу истинности, которую можно запрограммировать для реализации любой логической функции на двух входах и триггере, см. рис. 27.

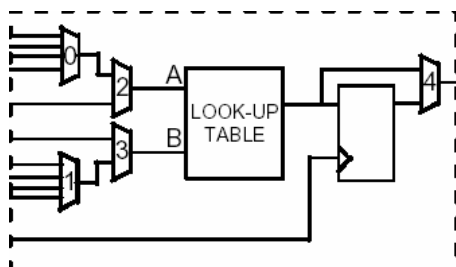


Рис. 27. Элемент PLA.

В сумме для PLA в микросхеме ADuC702x имеется 30 выводов GPIO, из которых 16 – входы и 14 – выходы. До использования PLA эти выходы необходимо сконфигурировать с помощью регистра GPXCON как выходы PLA. Обратите внимание, что выход компаратора также является одним из 16 входов PLA. PLA конфигурируется при помощи набора MMR-регистров, выходные сигналы PLA могут подаваться на вход схемы прерываний, в качестве сигнала начала преобразования CONVSTART, в качестве разрядов MMR-регистров или на любой из 16 выводов PLA. Взаимосвязь между двумя блоками PLA осуществляется за счет подключения выхода элемента 7 блока 1 на вход 0 мультиплексора 0 элемента 0 блока 0, и подключения элемента 7 блока 0 на вход 0 мультиплексора 0 элемента 0 блока 1.

PLA Block 0			PLA Block 1		
Element	Input	Output	Element	Input	Output
0	P1.0	P1.7	8	P3.0	P4.0
1	P1.1	P0.4	9	P3.1	P4.1
2	P1.2	P0.5	10	P3.2	P4.2
3	P1.3	P0.6	11	P3.3	P4.3
4	P1.4	P0.7	12	P3.4	P4.4
5	P1.5	P2.0	13	P3.5	P4.5
6	P1.6	P2.1	14	P3.6	P4.6
7	P0.0	P2.2	15	P3.7	P4.7

Табл. 51. Входы и выходы элементов PLA.

## Интерфейс между PLA и регистрами MMR

В интерфейс PLA входит 21 MMR-регистр:

- PLAELMx: управляющие регистры элементов с 0 по 15, эти регистры конфигурируют входной и выходной мультиплексоры каждого элемента, выбор функции таблицы истинности элемента PLA и включение в цепь сигнала триггера-заселки.

- PLACLK: тактирование триггеров-заселок блока 0 и тактирование триггеров-заселок блока 1

- PLAIRQ: разрешение прерывания IRQ0 и/или IRQ1 и выбор источника прерывания;

- PLAADC: подключение PLA в качестве источника сигнала начала преобразования;

- PLADIN: регистр входных данных PLA;

- PLADOUT: регистр выходных данных PLA. Этот регистр всегда содержит данные о текущем состоянии.

В состав набора разработчика входит программа PLA tool, облегчающая процесс конфигурирования PLA.

Таблица 52. Назначение разрядов регистра PLAELMx

Разряд	Описание	PLAELM0	PLAELM1-7	PLAELM8	PLAELM9-15
31–11	Зарезервировано				
10–9	Управление мультиплексором 0, выбор обратной связи	00-элемент 15 01-элемент 2 10-элемент 4 11-элемент 6	элемент 0 элемент 2 элемент 4 элемент 6	элемент 7 элемент 10 элемент 12 элемент 14	элемент 8 элемент 10 элемент 12 элемент 14
8–7	Управление мультиплексором 1, выбор обратной связи	00-элемент 1 01-элемент 3 10-элемент 5 11-элемент 7	элемент 1 элемент 3 элемент 5 элемент 7	элемент 9 элемент 11 элемент 13 элемент 15	элемент 9 элемент 11 элемент 13 элемент 15
6	Управление мультиплексором 2 Устанавливается пользователем для выбора в качестве управляющего сигнала выхода мультиплексора 1 Сбрасывается пользователем для выбора в качестве управляющего сигнала разряда PLADIN				
5	Управление мультиплексором 3 Устанавливается пользователем для выбора в качестве управляющего сигнала специального вывода Сбрасывается пользователем для выбора в качестве управляющего сигнала выхода мультиплексора 0				
4–1	Управление таблицей истинности 0000 – 0 0001 – NOR				

	0010 – B AND NOT A 0011 – NOT A 0100 – A AND NOT B 0101 – NOT B 0110 – EXOR 0111 – NAND 1000 – AND 1001 – EXNOR 1010 – B 1011 – NOT A OR B 1100 – A 1101 – A OR NOT B 1110 – OR 1111 – 1
0	Управление мультиплексором 4 Устанавливается пользователем, чтобы отключить триггер (flip-flop) Сбрасывается пользователем, чтобы включить триггер (flip-flop). По умолчанию бит сброшен

Таблица 53. Назначение разрядов регистра PLACLK

Разряд	Описание
7	<i>Зарезервировано</i>
6–4	Выбор источника тактовых импульсов для блока 1: 000 – импульсы на входе P0.5 001 – импульсы на входе P0.0 010 – импульсы на входе P0.7 011 – HCLK 100 – OCLK 101 – Переполнение таймера 1 Остальные значения зарезервированы
3	<i>Зарезервировано</i>
2–0	Выбор источника тактовых импульсов для блока 0: 000 – импульсы на входе P0.5 001 – импульсы на входе P0.0 010 – импульсы на входе P0.7 011 – HCLK 100 – OCLK 101 – Переполнение таймера 1 Остальные значения зарезервированы

Таблица 54. Назначение разрядов регистра PLAIRQ

Разряд	Описание
15–13	<i>Зарезервировано</i>
12	Разрешение прерывания PLA IRQ1 Устанавливается пользователем, чтобы разрешить прерывание IRQ1 с выхода PLA Сбрасывается пользователем, чтобы запретить прерывание IRQ1 с выхода PLA
11–8	Источник прерывания PLA IRQ1 0000 – PLA элемент 0 0001 – PLA элемент 1 ... 1111 – PLA элемент 15
7–5	<i>Зарезервировано</i>
4	Разрешение прерывания PLA IRQ0 Устанавливается пользователем, чтобы разрешить прерывание IRQ0 с выхода PLA Сбрасывается пользователем, чтобы запретить прерывание IRQ0 с выхода PLA
3–0	Источник прерывания PLA IRQ0 0000 – PLA элемент 0 0001 – PLA элемент 1 ... 1111 – PLA элемент 15

# ADuC702x

Таблица 55. Назначение разрядов регистра PLAADC

Разряд	Описание
31–5	<i>Зарезервировано</i>
4	Бит разрешения начала преобразования АЦП по сигналу PLA Устанавливается пользователем, чтобы разрешить преобразование АЦП по сигналу PLA Сбрасывается пользователем, чтобы запретить преобразование АЦП по сигналу PLA
3–0	Источник сигнала начала преобразования АЦП 0000 – PLA элемент 0 0001 – PLA элемент 1 ... 1111 – PLA элемент 15

Таблица 56. Назначение разрядов регистра PLADIN

Разряд	Описание
31–16	<i>Зарезервировано</i>
15–0	Входные разряды для элементов 15–0 матрицы PLA

Таблица 57. Назначение разрядов регистра PLADOUT

Разряд	Описание
31–16	<i>Зарезервировано</i>
15–0	Выходные разряды элементов 15–0 матрицы PLA

## ПЕРИФЕРИЯ ПРОЦЕССОРА СИСТЕМА ПРЕРЫВАНИЙ

В процессоре ADuC702x имеется 24 источника прерываний, эти прерывания управляются контроллером прерываний. Большинство прерываний генерируется встроенными периферийными устройствами, такими как АЦП, UART и др., и два дополнительных прерывания генерируются внешними источниками через выходы XIRQ0 и XIRQ1. Ядро ARM7TDMI вырабатывает прерывания двух типов, IRQ (обычное) и FIQ (быстрое). Каждый вид прерывания может маскироваться независимо. Управление и конфигурация системы прерываний управляется через 9 регистров, из них 4 регистра управляют прерываниями IRQ, и 4 регистра – прерываниями FIQ. Еще один регистр используется для выбора запрограммированного источника прерываний. Разряды в регистрах прерываний IRQ и FIQ соответствуют одним и тем же источникам прерываний, см. табл. 58.

Разряд	Описание
0	Все прерывания (опер. ИЛИ)
1	SWI: not used in IRQEN/CLR and FIQEN/CLR
2	Timer 0
3	Timer 1
4	Wake Up timer – Timer 2
5	Watchdog timer – Timer 3
6	Flash control
7	ADC channel
8	PLL lock
9	I <sup>2</sup> C0 Slave
10	I <sup>2</sup> C0 Master
11	I <sup>2</sup> C1 Master
12	SPI Slave
13	SPI Master
14	UART
15	External IRQ0
16	Comparator
17	PSM
18	External IRQ1
19	PLA IRQ0
20	PLA IRQ1
21	External IRQ2
22	External IRQ3
23	PWM trip
24	PWM sync

Табл. 58. Разряды управления прерываниями IRQ и FIQ.

### Прерывания IRQ

Сигнал IRQ является сигналом перехода процессора в режим прерывания IRQ. Этот сигнал используется для

обслуживания прерываний общего назначения от внутренних и внешних источников.

Для обслуживания прерываний IRQ предназначены четыре 32-разрядных регистра:

- IRQSIG, отображает состояние различных источников прерываний IRQ. Если периферийное устройство генерирует сигнал IRQ, соответствующий разряд в регистре IRQSIG устанавливается, в ином случае бит сброшен. Все источники прерываний IRQ могут маскироваться с помощью регистра IRQEN. Регистр IRQSIG предназначен только для чтения.

- IRQEN содержит маску разрешенных прерываний. Если разряд установлен в 1, то соответствующее прерывание IRQ разрешено. Если разряд сброшен, прерывание запрещено или маскировано.

- IRQCLR (регистр только для записи) позволяет очищать регистр IRQEN с целью маскировать источник прерываний. Каждый разряд установленный в 1 будет сбрасывать соответствующий разряд регистра IRQEN не затрагивая остальные разряды. Регистры IRQEN и IRQCLR позволяют управлять маской разрешения прерываний без необходимости выполнять сложную процедуру чтения-модификации-записи.

- IRQSTA (регистр только для чтения) показывает состояние текущего разрешенного источника прерываний. Если разряд установлен в 1, то источник генерирует прерывание. В системе нет приоритетного кодера или генерации векторов прерываний. Эти функции реализуются программно в общей программе обработки прерываний. При генерации сигнала IRQ над всеми 32 разрядами производится операция ИЛИ.

### Прерывания FIQ

Сигнал FIQ (быстрое прерывание) является сигналом перехода процессора в режим прерывания FIQ. Этот сигнал используется для обслуживания обмена данными или каналов связи с целью минимизации задержки.

Регистровый интерфейс прерываний FIQ идентичен интерфейсу прерываний IRQ, но прерывания FIQ имеют более высокий приоритет. Для отслеживания прерываний FIQ имеется четыре 32-битных регистра: FIQSIG, FIQEN, FIQCLR и FIQSTA. При генерации сигнала FIQ операция ИЛИ производится над разрядами с 31 по 1 и над нулевыми разрядами обоих регистров FIQ и IRQ.

Логическая схема регистров FIQEN и FIQCLR не позволяет разрешить один и тот же источник для прерывания IRQ и для FIQ. Бит, установленный в 1 в регистре FIQEN одновременно сбросит тот же самый разряд в регистре IRQEN. Бит, установленный в 1 в регистре IRQEN одновременно сбросит тот же самый разряд в регистре FIQEN. Источник прерывания может быть одновременно запрещен в регистрах FIQEN и IRQEN.

# ADuC702x

## Программируемые прерывания

Так как программируемые прерывания не маскируются, они контролируются другим регистром,

SWICFG, который одновременно записывается в оба регистра IRQSTA и IRQSIG и/или FIQSTA и FIQSIG.

32-разрядный регистр SWICFG описан в табл. 59.

Таблица 59. Назначение разрядов регистра SWICFG

Разряд	Описание
31–3	Зарезервировано
2	Программируемое прерывание – FIQ Установка/сброс данного разряда соответствует установлению/сбросу разряда 1 регистров FIQSTA и FIQSIG
1	Программируемое прерывание – IRQ Установка/сброс данного разряда соответствует установлению/сбросу разряда 1 регистров IRQSTA и IRQSIG
0	Зарезервировано

Обратите внимание, что сигнал прерывания от любого источника должен быть активен по меньшей мере в течение времени, равному времени задержки прерывания для того чтобы его распознал контроллер прерываний и пользовательская программа посредством регистров IRQSTA/FIQSTA.

## ТАЙМЕРЫ

В Микроконверторе ADuC702x имеется 4 таймера/счетчика общего назначения:

- Таймер 0
- Таймер 1
- Таймер 2 или "пробуждающий" таймер
- Таймер 3 или сторожевой таймер.

Эти 4 таймера в нормальном режиме работы могут быть постоянно работающими или периодически.

- В режиме постоянного счета значение счетчика уменьшается/увеличивается начиная с максимальной/минимальной величины до достижения нулевого/максимального значения и начинает счет опять с максимальной/минимальной величины.

- В режиме периодического счета значение счетчика уменьшается/увеличивается начиная с величины, загруженной в регистр загрузки TxLD до достижения нулевого значения или значения полной шкалы и опять начинает счет с величины, хранящейся в регистре загрузки TxLD.

Значение счетчика может быть считано в любой момент времени путем чтения регистра TxVAL. Счетчики запускаются посредством записи в

управляющий регистр соответствующего таймера TxCON.

В нормальном режиме прерывание IRQ генерируется каждый раз, когда значение счетчика достигает нуля (при счете вниз) или значения полной шкалы (при счете вверх). Прерывание может быть сброшено путем записи какой-либо величины в регистр TxCLR1 соответствующего таймера.

## Таймер 0 – RTOS

Таймер 0 – 16-разрядный таймер общего назначения со счетом вниз (на убывание) и с программируемым предделителем. Источник тактирования для предделителя – тактовые импульсы ядра процессора, частота которых может быть поделена на 1, 16 или 256.

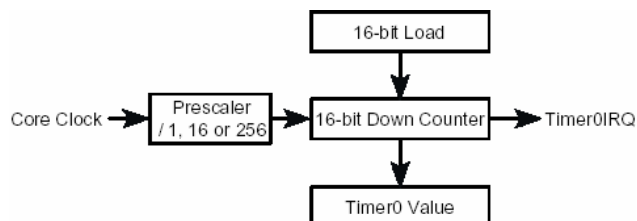


Рис. 28. Таймер 0.

Интерфейс Таймера 0 включает четыре MMR-регистра:

- T0LD и T0VAL – 16-разрядные регистры (разряды 0...15) содержат беззнаковое целое. T0VAL – регистр только для чтения.
- T0CLR1 – 8-разрядный регистр. Запись любой величины в этот регистр сбрасывает прерывание.
- T0CON – регистр конфигурации, см. табл. 60.

Таблица 60. Назначение разрядов регистра T0CON

Разряд	Описание
31–8	Зарезервировано
7	Бит разрешения работы таймера Timer0: Устанавливается пользователем для разрешения работы таймера Timer0 Сбрасывается пользователем для запрещения работы таймера Timer0 (по умолчанию)
6	Бит режима работы таймера Timer0: Устанавливается пользователем для разрешения работы таймера в режиме периодического счета Сбрасывается пользователем для разрешения работы таймера в режиме свободного счета (режим по умолчанию)

5–4	<i>Зарезервировано</i>
3–2	Предделитель: 00 Тактовый сигнал ядра / 1 (по умолчанию) 01 Тактовый сигнал ядра / 16 10 Тактовый сигнал ядра / 256 11 Соответствует коду 00
1–0	<i>Зарезервировано</i>

## Таймер 1

Таймер 1 – 32-разрядный таймер общего назначения, со счетом на убывание или на возрастание и с программируемым предделителем.

Источником тактирования для предделителя может быть генератор 32 кГц, тактовые импульсы ядра процессора или импульсы со внешнего источника поданные на GPIO выходы P1.0 или P0.6. Частота импульсов источника которых может быть поделена на 1, 16, 256 или 32768.

Счетчик может работать в стандартном формате 32-разрядной величины или в формате часы:минуты:секунды:сотые доли.

В таймере 1 имеется регистр захвата (capture) T1CAP, который может срабатывать от выбранного источника прерываний. Эта особенность позволяет определить момент события с большей точностью, чем обеспечивает таймер RTOS.

Таймер 1 может использоваться для запуска преобразования АЦП, как показано на рис. 29.

Интерфейс таймера 1 включает пять MMR-регистров:

-T1LD, T1VAL и T1CAP – это 32-разрядные регистры, содержат 32-разрядные целые числа без знака. T1VAL и T1CAP – регистры только для чтения.

-T1CLR1 – 8-разрядный регистр. Запись любой величины в этот регистр сбрасывает прерывание таймера 1.

-T1CON - регистр конфигурации, см. табл. 61.

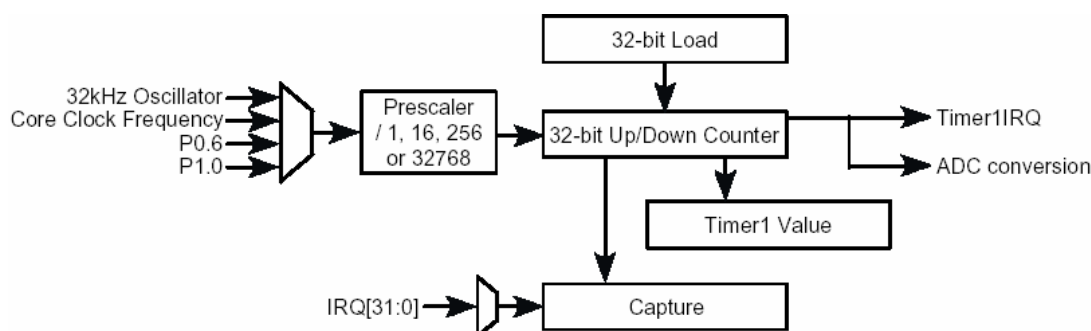


Рис. 29. Таймер 1.

Таблица 61. Назначение разрядов регистра T1CON

Разряд	Описание
31–18	<i>Зарезервировано</i>
17	Выбор события: Устанавливается пользователем, разрешает принимать совпадение времени (capture) в качестве события Сбрасывается пользователем, запрещает принимать совпадение времени (capture) в качестве события
16–12	Выбор события События соответствуют описанию в табл. 58. Все номера событий смещены на 2, т.е. событие 2 в табл. 58 соответствует событию 0 таймера 1
11–9	Источник тактовых импульсов: 000 Тактовый сигнал ядра 001 Генератор 32.768 kHz 010 Передний фронт сигнала на входе P1.0 011 Передний фронт сигнала на входе P0.6
8	Счет вверх Устанавливается пользователем, таймер считает на возрастание Сбрасывается пользователем, таймер считает на убывание (по умолчанию)
7	Разрешение таймера 1 Устанавливается пользователем, разрешает работу таймера 1 Сбрасывается пользователем, запрещает работу таймера 1 (по умолчанию)
6	Бит режима работы таймера 1: Устанавливается пользователем для разрешения работы таймера в режиме периодического счета

## ADuC702x

	Сбрасывается пользователем для разрешения работы таймера в режиме свободного счета (режим по умолчанию)
5–4	Формат: 00 Двоичный 01 <i>Зарезервировано</i> 10 Часы:Минуты:Секунды:Сотые – 23 часа до 0 часов 11 Часы:Минуты:Секунды:Сотые – 255 часов до 0 часов
3–0	Предделитель: 0000 Сигнал источника тактовых импульсов / 1 0100 Сигнал источника тактовых импульсов / 16 1000 Сигнал источника тактовых импульсов / 256 1111 Сигнал источника тактовых импульсов / 32768

### Таймер 2 – таймер "пробуждения"

Таймер 2 – это 32-разрядный таймер "пробуждения" со счетом на убывание или на возрастание и с программируемым предделителем. Он тактируется непосредственно от внутреннего генератора с частотой 32768 Гц. Таймер "пробуждения" продолжает считать, даже если ядро отключено. Частота импульсов источника которых может быть поделена на 1, 16, 256 или 32768.

Счетчик может работать в формате простой 32-разрядной величины или в формате часы:минуты:секунды:сотые доли.

Таймер 2 может использоваться для запуска преобразования АЦП, как показано на рис. 30.

Интерфейс таймера 2 включает четыре MMR-регистра:

-T2LD и T2VAL – 32-разрядные регистры, содержат 32-разрядные целые числа без знака. T2VAL – регистр только для чтения.

-T2CLRI – 8-разрядный регистр. Запись любой величины в этот регистр сбрасывает прерывание таймера 2.

-T2CON - регистр конфигурации, см. табл. 62.

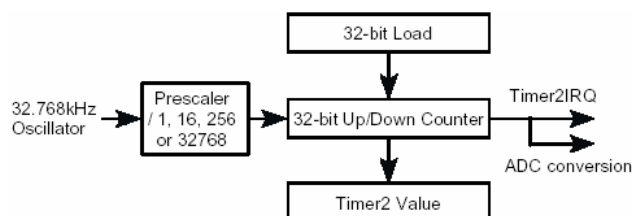


Рис. 30. Таймер 2.

Таблица 62. Назначение разрядов регистра T2CON

Разряд	Описание
31–9	<i>Зарезервировано</i>
8	Счет вверх Устанавливается пользователем, таймер считает на возрастание Сбрасывается пользователем, таймер считает на убывание (по умолчанию)
7	Разрешение таймера 2 Устанавливается пользователем, разрешает работу таймера 2 Сбрасывается пользователем, запрещает работу таймера 2 (по умолчанию)
6	Бит режима работы таймера 1: Устанавливается пользователем для разрешения работы таймера в режиме периодического счета Сбрасывается пользователем для разрешения работы таймера в режиме свободного счета (режим по умолчанию)
5–4	Формат: 00 Двоичный 01 <i>Зарезервировано</i> 10 Часы:Минуты:Секунды:Сотые – 23 часа до 0 часов 11 Часы:Минуты:Секунды:Сотые – 255 часов до 0 часов
3–0	Предделитель: 0000 Сигнал источника тактовых импульсов / 1 (по умолчанию) 0100 Сигнал источника тактовых импульсов / 16 1000 Сигнал источника тактовых импульсов / 256 рассчитано на формат 2 и 3 1111 Сигнал источника тактовых импульсов / 32768

### Таймер 3 – сторожевой таймер

Таймер 3 может работать в двух режимах – нормальном и в режиме сторожевого таймера. Стороживой таймер используется для восстановления работы процессора при непредусмотренном "зависании" программы вследствие программного сбоя. После запуска сторожевого таймера требуется периодическое обращение к сторожевому таймеру, чтобы предотвратить сброс процессора.

**Нормальный режим:**

Таймер 3 в нормальном режиме идентичен таймеру 0 во всем, кроме источника тактирования и счета на возрастание. Источник тактирования – сигнал с частотой 32 кГц со схемы ФАПЧ, частота которого может быть поделена на 1, 16 или 256.

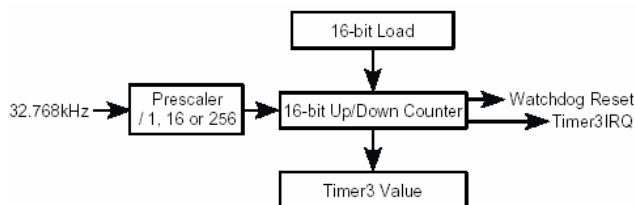


Рис. 31. Таймер 3.

**Режим сторожевого таймера**

Режим сторожевого таймера запускается установкой в 1 разряда 5 регистра T3CON. Таймер 3 производит счет на убывание начиная с величины, записанной в регистр T3LD до нуля. Регистр T3LD таким образом определяет временный интервал. Временный интервал может достигать 512 секунд, если использовать максимальный коэффициент деления предделителя (256) и максимальное значение регистра T3LD. Таймер 3 при работе в режиме сторожевого таймера тактируется от источника 32 кГц.

Если значение счетчика таймера достигает 0, вырабатывается сигнал сброса процессора или прерывание, в зависимости от состояния разряда 1 регистра T3CON. Для того, чтобы предотвратить сброс или прерывание, какая-либо величина должна быть записана в регистр T3ICLR прежде чем закончится временный интервал сторожевого таймера. Это приведет к перезагрузке счетчика величиной, записанной в регистре T3LD и начнется отсчет нового временного интервала. Когда включается режим сторожевого таймера, регистры T3LD и T3CON становятся защищенными от записи. Эти два регистра не могут быть модифицированы, пока в результате сброса не будет сброшен бит разрешения режима сторожевого таймера и таймер 3 выйдет из сторожевого режима.

**Интерфейс таймера 3:**

Интерфейс таймера 3 включает четыре MMR-регистра:

-T3LD и T3VAL – это 16-разрядные регистры (разряды 0...15), содержат 16-разрядные целые числа без знака. T3VAL – регистр только для чтения.

-T3CLRI – 8-разрядный регистр. Запись любой величины в этот регистр сбрасывает прерывание таймера 1, если таймер работает в нормальном режиме, и начинает новый период, если таймер 3 работает в режиме сторожевого таймера.

-T3CON - регистр конфигурации, см. табл. 63.

**Сброс бита безопасности (только в режиме сторожевого таймера)**

Бит безопасности обеспечивает высокий уровень защиты. Если данный бит установлен в 1, то для предупреждения сброса от сторожевого таймера требуется загружать в регистр T3ICLR специальную величину. Значение ее генерируется 8-разрядным регистром с обратными связями (LFSR) в соответствии с полиномом  $= X^8 + X^6 + X^5 + X + 1$ , см. рис. 32. Начальное значение записывается в регистр T3ICLR до включения сторожевого режима. После включения режима сторожевого таймера значение, записываемое в регистр T3ICLR, должно совпадать с записанной величиной. Если они совпадают, регистр LFSR переходит в следующее состояние, а счетчик сторожевого таймера перезагружается. Если эти величины не совпадают, то происходит немедленный сброс, даже если счетчик сторожевого таймера не дошел до нулевого значения. В качестве начального значения нельзя использовать нулевое, это связано со свойствами полинома. При нулевом значении произойдет немедленный сброс. Значение регистра LFSR невозможно считать, это значение должно быть сгенерировано программным обеспечением по формуле.

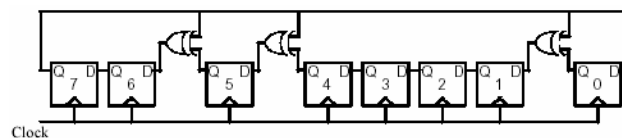


Рис. 32. Регистр LFSR.

Пример последовательности:

- 1) загружаем в регистр T3ICLR величину 0xAA, запускаем сторожевой таймер
- 2) загружаем в регистр T3ICLR величину 0xAA, счетчик сторожевого таймера перезагружается
- 3) загружаем в регистр T3ICLR величину 0x37, счетчик сторожевого таймера перезагружается
- 4) загружаем в регистр T3ICLR величину 0x6E, счетчик сторожевого таймера перезагружается
- 5) загружаем в регистр T3ICLR величину 0x66, т.к. ожидалось значение 0xDC происходит сброс процессора

Таблица 63. Назначение разрядов регистра T3CON

Разряд	Описание
31–9	Зарезервировано
8	Счет вверх Устанавливается пользователем, таймер считает на возрастание Сбрасывается пользователем, таймер считает на убывание (по умолчанию)
7	Разрешение таймера 3 Устанавливается пользователем, разрешает работу таймера 3 Сбрасывается пользователем, запрещает работу таймера 3 (по умолчанию)

## ADuC702x

6	Бит режима работы таймера 1: Устанавливается пользователем для разрешения работы таймера в режиме периодического счета Сбрасывается пользователем для разрешения работы таймера в режиме свободного счета (режим по умолчанию)
5	Разрешение сторожевого режима Устанавливается пользователем для разрешения работы таймера в сторожевом режиме Сбрасывается пользователем для запрещения работы таймера в сторожевом режиме
4	Бит режима безопасного сброса: Устанавливается пользователем для активации режима безопасного сброса Сбрасывается пользователем для запрещения режима безопасного сброса (по умолчанию)
3–2	Предделитель: 00 Сигнал источника тактовых импульсов / 1 (по умолчанию) 01 Сигнал источника тактовых импульсов / 16 10 Сигнал источника тактовых импульсов / 256 11 Соответствует режиму 00
1	Бит режима прерывания сторожевого таймера: Устанавливается пользователем для выработки прерывания (вместо сброса) при достижении таймером нулевого значения Сбрасывается пользователем для запрещения прерывания.
0	<i>Зарезервировано</i>

### Интерфейс внешней памяти

Интерфейс внешней памяти из всего семейства Микроконверторов ADuC702x имеется только у ИС ADuC7026 и ADuC7027. Интерфейс внешней памяти требует большого числа выводов, поэтому он имеется только в микросхемах с корпусами с большим числом выводов. Выводы интерфейса внешней памяти это:

Вывод	Описание
AD[15:0]	Шина адреса/данных
A16	Дополнительная линия адреса
MS[3:0]	Выводы выбора памяти
WR	Строб записи
RS	Строб чтения
AE	Разрешение защелкивания адреса (latch)
VNE, BLE	Побайтная запись

Доступны 4 области внешней памяти, это:

Начальный адрес	Конечный адрес	Содержимое
0x10000000	0x1001FFFF	Внешняя память 0
0x20000000	0x2001FFFF	Внешняя память 1
0x30000000	0x3001FFFF	Внешняя память 2
0x40000000	0x4001FFFF	Внешняя память 3

Любая область внешней памяти управляется посредством следующих трех регистров:

XMCFG – устанавливается в 1 для разрешения доступа к внешней памяти. Регистр должен быть установлен в единичный уровень, прежде чем выводы порта будут функционировать в качестве интерфейса памяти. Кроме того выводы порта должны быть разрешены индивидуально с помощью регистра GPXCON.

XMxCON – регистры, разрешающие/запрещающие область памяти. Этот регистр также управляет шириной шины данных области памяти.

XMxPAR – регистры, которые определяют протокол, который используется для доступа ко внешней памяти для каждой области памяти.

Таблица 64. Назначение разрядов регистра XMxCON

Разряд	Описание
1	Выбор ширины шины Устанавливается пользователем для работы в режиме 16-разрядной шины Сбрасывается пользователем для работы в режиме 8-разрядной шины
0	Разрешить область памяти Устанавливается пользователем для разрешения данной области памяти Сбрасывается пользователем для запрещения данной области памяти

Таблица 65. Назначение разрядов регистра XMxPAR

Разряд	Описание
15	Разрешить Строб записи байта Устанавливается пользователем, перенаправляет сигналы VNE и BLE на выход WR.
14–12	Число тактов ожидания стога разрешения адреса
11	Разрешить динамическую адресацию Устанавливается пользователем для разрешения режима 16-разрядной

	адресации Сбрасывается пользователем для разрешения режима 8-разрядной адресации
10	Дополнительная задержка удержания адреса Устанавливается пользователем для запрещения дополнительной задержки удержания адреса Сбрасывается пользователем для разрешения дополнительной задержки удержания адреса на один такт при записи и чтении
9	Дополнительная задержка при чтении Устанавливается пользователем для запрещения дополнительной задержки Сбрасывается пользователем для разрешения дополнительной задержки на один такт до и после сигнала stroba чтения RS
8	Дополнительная задержка при записи Устанавливается пользователем для запрещения дополнительной задержки Сбрасывается пользователем для разрешения дополнительной задержки на один такт до и после сигнала stroba записи WS
7–4	Число тактов ожидания записи Устанавливается пользователем и показывает число дополнительных тактов ожидания, прибавляемых к сигналу WS 0x0 соответствует 1 такту 0xF соответствует 16 тактам (значение по умолчанию)
3–0	Число тактов ожидания чтения Устанавливается пользователем и показывает число дополнительных тактов ожидания, прибавляемых к сигналу RS 0x0 соответствует 1 такту 0xF соответствует 16 тактам (значение по умолчанию)

# ADuC702x

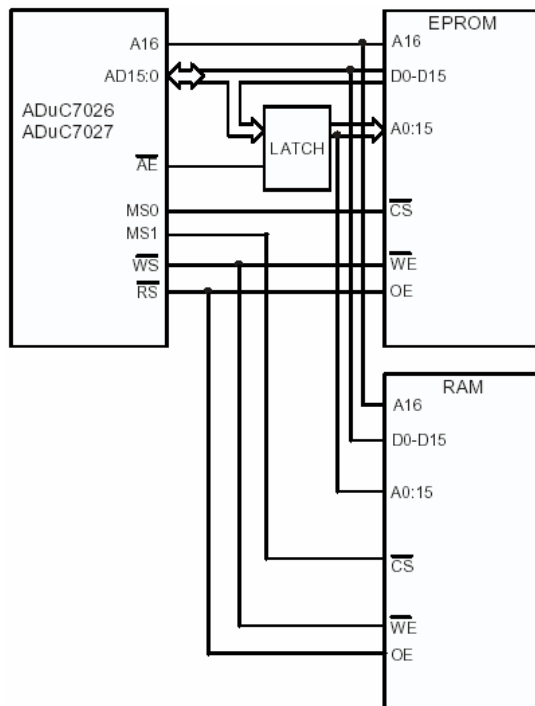


Рис. 33. Интерфейс внешней памяти EPROM/RAM.

## АППАРАТНЫЕ АСПЕКТЫ ПРИМЕНЕНИЯ МИКРОКОНВЕРТОРОВ ADuC702x

### Источники питания

Микроконвертеры ADuC702x работают при напряжении питания 2.7...3.6 В. Отдельные выводы питания аналоговой и цифровой частей ( $AV_{DD}$  и  $IOV_{DD}$  соответственно) позволяют обеспечить питание аналоговой части ИС напряжением  $AV_{DD}$ , относительно свободным от помех, характерных для цифровых схем и присутствующих на выводе  $IOV_{DD}$ . В этом режиме аналоговая и цифровая части микросхемы могут питаться от отдельных источников питания, имеющих разное напряжение. Например, это означает, что система может работать при напряжении питания  $IOV_{DD} = 3.3$  В, тогда как напряжение  $AV_{DD}$  составляет 3 В, или наоборот, если это необходимо. Типичная конфигурация системы с раздельными источниками питания показана на рис. 38.

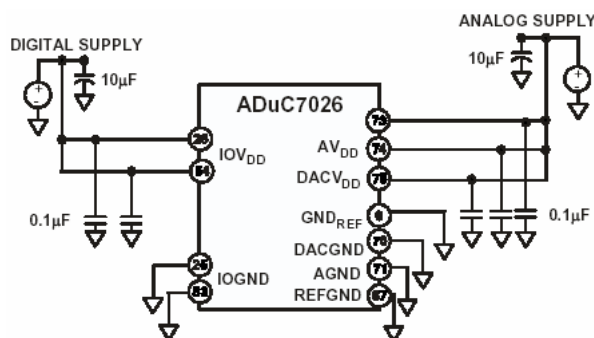


Рис. 38. Подключение двух источников питания.

Альтернативный способ обеспечения питания аналоговой и цифровой частей ИС – снижение помех на входе питания  $AV_{DD}$  при помощи последовательно включенного резистора и/или ферритовой бусины между  $AV_{DD}$  и  $IOV_{DD}$  и затем раздельной развязки напряжения  $AV_{DD}$  на "землю". Пример данной конфигурации показан на рис. 39. В такой схеме от напряжения  $AV_{DD}$  могут быть запитаны также другие аналоговые схемы в системе (операционные усилители, источники опорного напряжения и т.д.)

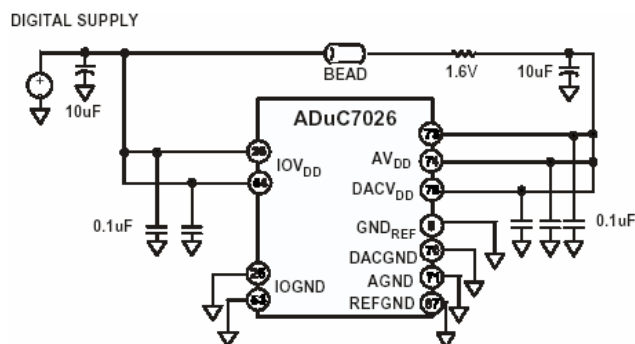


Рис. 39. Питание от одного источника.

Обратите внимание, что в схемах на рис. 38 и на рис. 39 выводы  $AV_{DD}$  и  $IOV_{DD}$  развязаны на "землю" двумя отдельными конденсаторами по 10 мкФ. Кроме того, на выводах  $AV_{DD}$  и  $IOV_{DD}$  имеется по одному

конденсатору малой емкости (0.1 мкФ). Это является стандартным подходом к проектированию подобных систем – обеспечить развязку с помощью конденсаторов, и обеспечить как можно более близкое расположение конденсаторов 0.1 мкФ к корпусу ИС, с минимальной длиной дорожек. "Землянные" выводы конденсаторов должны быть подключены напрямую к подлежащей "земляной" поверхности. И наконец, выводы аналогового и цифрового заземления микросхемы ADuC702x всегда должны быть подключены к одной и той же "земле".

### Линейный стабилизатор напряжения

Для ИС ADuC702x требуется однополярное питание 3.3 В, но ядро питается напряжением 2.5 В. Встроенный линейный стабилизатор обеспечивает получение напряжения 2.5 В из напряжения  $IOV_{DD}$  для питания ядра. Напряжение 2.5 В на выводе 21 ( $LV_{DD}$ ) используется для питания ядра. Между  $LV_{DD}$  и "землей" должен быть подключен внешний развязывающий конденсатор емкостью 0.47 мкФ (как можно ближе к выводам), как показано на рис. 40.

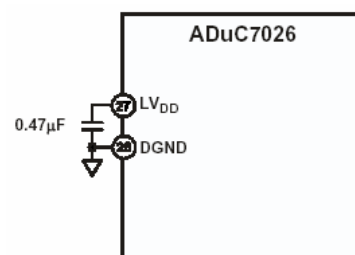


Рис. 40. Подключение конденсатора ко встроенному стабилизатору.

Напряжение с вывода  $LV_{DD}$  не следует использовать для питания других ИС. Также рекомендуется обеспечивать хорошую развязку питания  $IOV_{DD}$ , это способствует улучшению качества напряжения на выходе встроенного стабилизатора.

### РЕКОМЕНДАЦИИ ПО ЗАЗЕМЛЕНИЮ И РАЗВОДКЕ ПЛАТЫ

Как и в случае применения любого преобразователя с высоким разрешением, особое внимание должно быть уделено заземлению и разводке платы устройства на базе Микроконвертера ADuC702x с целью получения оптимальных характеристик АЦП и ЦАП.

Хотя ИС ADuC702x имеет отдельные выводы цифрового и аналогового заземления ( $AGND$  и  $IOGND$ ), не нужно заземлять их на отдельные заземляющие поверхности, если только эти поверхности не соединены в максимальной близости к корпусу микросхемы ADuC702x, как показано в упрощенном виде на рис. 41а. В системе, где аналоговая и цифровая "земли" соединены где-то в другом месте (например, у источника питания), они не могут быть соединены вблизи ИС ADuC702x, иначе образуется "петля" заземления. В таком случае оба вывода заземления –  $AGND$  и  $IOGND$  – микросхемы ADuC702x должны быть подключены к аналоговой земляной поверхности, как показано на рис. 41b. В системе с одной заземляющей поверхностью

## ADuC702x

убедитесь, что цифровые и аналоговые компоненты физически расположены в различных частях платы, так чтобы цифровые токи по "земле" не протекали вблизи аналоговых схем и наоборот. ИС ADuC702x может находиться между цифровой и аналоговой частями, как показано на рис. 41с.

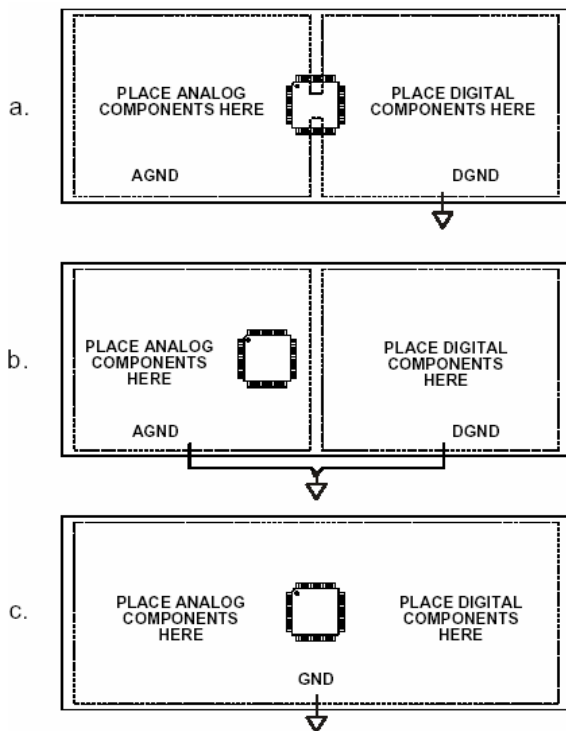


Рис. 41. Возможные конфигурации заземления.

При любом варианте учитывайте, по каким путям ток течет от источника питания и обратно. Убедитесь, что пути тока питания и возвратного тока расположены как можно ближе друг к другу. Например, не запитывайте компоненты аналоговой части на рис. 41b от источника IOV<sub>DD</sub>, так как тогда возвратный ток от IOV<sub>DD</sub> будет проходить по аналоговой "земле". Также старайтесь избегать прохождения цифровых токов через аналоговую часть схемы, это может произойти, если поместить "шумную" цифровую микросхему на левую половину платы, показанной на рис. 41с. Где возможно, избегайте разрывов заземляющих поверхностей (например, если в этом же слое проходит длинная дорожка, разделяющая слой), т.к. при этом возвратные токи идут более длинным путем. И разумеется, делайте все соединения с заземляющей поверхностью напрямую, с минимальной длиной дорожки или напрямую от вывода ИС через межслойный переход.

Если Вы планируете подавать быстрые цифровые сигналы (со временем нарастания/спада менее 5 нс) на какой-либо вход ИС ADuC702x, добавьте в каждую "быструю" линию последовательно включенный резистор для того, чтобы время нарастания на входах ИС ADuC702x превышало 5 нс. Резистора сопротивлением 100-200 Ом обычно достаточно для того, чтобы минимизировать вредное влияние сигнала с быстрыми фронтами через емкостные связи на аналоговые схемы и предотвратить ухудшение точности АЦП.

## ТАКОВЫЙ ГЕНЕРАТОР

Тактовые импульсы для тактирования ИС ADuC702x могут генерироваться внутренним генератором с ФАПЧ или получаться от внешнего устройства. Для использования внутреннего генератора с ФАПЧ необходимо подключить кварц на 32768 Гц с параллельным резонансом к выводам XCLKI и XCLKO и заземлить каждый вывод через конденсатор емкостью 12 пФ, как показано на рис. 42. Такая схема позволяет блоку ФАПЧ генерировать сигнал с частотой 45.088 МГц для тактирования ядра. Если внешний кварцевый резонатор отсутствует, внутренний генератор обеспечит частоту тактирования ядра 45 МГц ±5%.

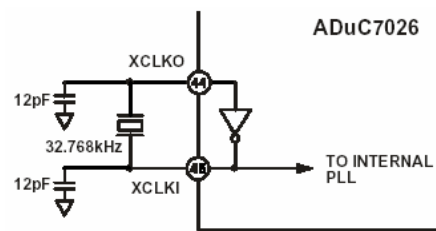


Рис. 42. Подключение внешнего кварцевого резонатора.

Для использования внешнего источника импульсов вместо генератора с ФАПЧ, необходимо запрограммировать разряды 1 и 0 регистра PLLCON. Внешние импульсы подаются на вывод 17 XCLK.

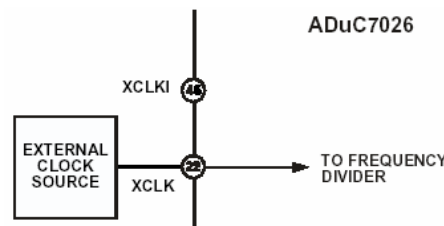


Рис. 43. Подключение внешнего источника тактовых импульсов.

Какой бы источник тактовых импульсов не использовался – внутренняя схема с ФАПЧ или внешний источник – частота тактирования ИС ADuC702x должна находиться в диапазоне 50 кГц...20 МГц для обеспечения корректной работы периферии и памяти flash/EE.

## СБРОС ПРИ ВКЛЮЧЕНИИ ПИТАНИЯ

В ИС ADuC702x имеется схема сброса при включении питания (POR). Если напряжение LV<sub>DD</sub> снижается ниже уровня 1.98 В, схема POR удерживает процессор в состоянии сброса. Когда напряжение повышается выше уровня 1.98 В, внутренний таймер формирует интервал задержки 128 мс прежде чем процессор выходит из состояния сброса. При проектировании необходимо удостовериться, что напряжение питания IOV<sub>DD</sub> достигает уровня не менее 2.7 В за это время. При отключении питания схема POR переведет процессор в состояние сброса, когда напряжение упадет ниже уровня 1.98 В. На рис. 44 проиллюстрирован принцип работы схемы POR.

## ТИПОВАЯ СХЕМА ВКЛЮЧЕНИЯ

Типовая схема включения ADuC7024/ADuC7025 показана на рис. 45. Здесь учтены аспекты проектирования, обсуждаемые в предыдущих параграфах.

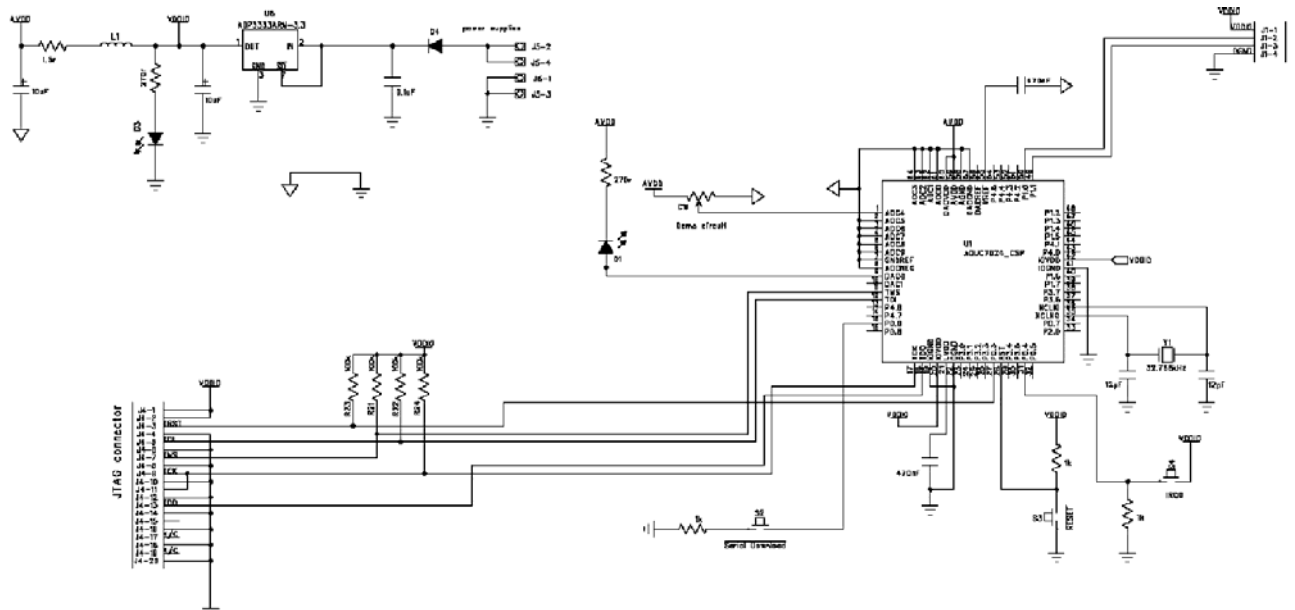


Рис. 45. Типовая схема включения.

## ADuC702x

### СРЕДСТВА РАЗРАБОТКИ

Для работы с Микроконверторами семейства ADuC702x поставляется недорогая, начального уровня система – набор разработчика. В нее входит программное и аппаратное обеспечение для PC, совместимое с Windows®:

Аппаратное обеспечение:

- Оценочная плата ADuC702x;
- Кабель для программирования через последовательный порт;
- Эмулятор JTAG;

Программное обеспечение:

- Интегрированная среда разработчика, в которую входят: ассемблер, компилятор и программа отладки через JTAG;
- Программное обеспечение для последовательного программирования;
- Примеры программ.

Прочее:

- Документация на диске CD-ROM.

### ВНУТРИСХЕМНЫЙ ЗАГРУЗЧИК ЧЕРЕЗ ПОСЛЕДОВАТЕЛЬНЫЙ ПОРТ

Программа внутрисхемного программирования работает на стандартном PC под управлением Windows® и позволяет загружать откомпилированную программу в память flash/EE через последовательный порт.